

PXle-BP3318背板

产品使用手册

北京阿尔泰科技发展有限公司

R1.00.00



前言

版权归北京阿尔泰科技发展有限公司所有，未经许可，不得以机械、电子或其它任何方式进行复制。本公司保留对此手册更改的权利，产品后续相关变更时，恕不另行通知。

■ 免责声明

订购产品前，请向厂家或经销商详细了解产品性能是否符合您的需求。

正确的运输、储存、组装、装配、安装、调试、操作和维护是产品安全、正常运行的前提。本公司对于任何因安装、使用不当而导致的直接、间接、有意或无意的损坏及隐患概不负责。

■ 安全使用小常识

1. 在使用产品前，请务必仔细阅读产品使用手册；
2. 对未准备安装使用的产品，应做好防静电保护工作(最好放置在防静电保护袋中，不要将其取出)；
3. 在拿出产品前，应将手先置于接地金属物体上，以释放身体及手中的静电，并佩戴静电手套和手环，要养成只触及边缘部分的习惯；
4. 为避免人体被电击或产品被损坏，在每次对产品进行拔插或重新配置时，须断电；
5. 在需对产品进行搬动前，务必先拔掉电源；
6. 对整机产品，需增加/减少板卡时，务必断电；
7. 当您需连接或拔除任何设备前，须确定所有的电源线事先已被拔掉；
8. 为避免频繁开关机对产品造成不必要的损伤，关机后，应至少等待 30 秒后再开机。

目 录

1	总线结构	3
2	技术参数	3
2.1	特点	3
2.2	规格	3
3	背板视图	4
3.1	背板顶视图	4
3.2	背板底视图	4
4	拓扑结构	5
5	引脚分配	6
5.1	PXLe 系统插槽(Slot #1) 引脚分配	6
5.1.1	XJ1(J10)信号定义	6
5.1.2	XP2(J9)信号定义	6
5.1.3	XP3(J8)信号定义	6
5.1.4	XP4(J3)信号定义	7
5.2	定时触发插槽 (Slot#10) 引脚分配	7
5.2.1	XP4(J33)信号定义	7
5.2.2	XP3(J34)信号定义	7
5.2.3	TP2(J35)信号定义	8
5.2.4	TP1(J36)信号定义	8
5.3	PXLe 混合外设插槽引脚分配	9
5.3.1	P1 信号定义	9
5.3.2	XP3 信号定义	9
5.3.3	XP4 信号定义	10
5.4	PXLe 外设插槽引脚分配	10
5.4.1	XP4 信号定义	10
5.4.2	XP3 信号定义	11
6	背板连接器说明	11
6.1	ATX 直流电源接口	11
6.2	系统槽电源控制接口	12
6.3	10M 时钟输入输出接口	12
6.4	FPGA 接口	12
6.5	远程监控接口	12
6.6	模式控制接口	12
6.7	系统 Button 接口	13
6.8	报警指示灯接口	13
6.9	风扇电源	13
6.10	PCI 总线 66M 时钟使能	13

1 总线结构

ATX 电源接口	PXIe					
	1	2/3/4/5	6/7/8/9	10	11/12/13/14	15/16/17/18
	PXIe 系统槽	PXIe 混合外设槽	PXIe 外设槽	PXIe_Timing 槽	PXIe 外设槽	PXIe 混合外设槽

2 技术参数

2.1 特点

18 个槽：1 个系统插槽、1 个定时触发槽、8 个 PXIe 混合外设插槽和 8 个 PXIe 外设插槽

外观尺寸 (mm)：429.26×156.86×2.5 (宽度×高度×厚度)

时钟：用于 10MHz 时钟输入/输出的 BNC 接头。

电源连接器：2 个 24Pin 标准 ATX 电源接口、2 个 8Pin 12V ATX 电源接口

背板上功率最大的电压降：<20mV

阻抗：65ohm ±10%用于跟踪

工作温度：0℃~+70℃

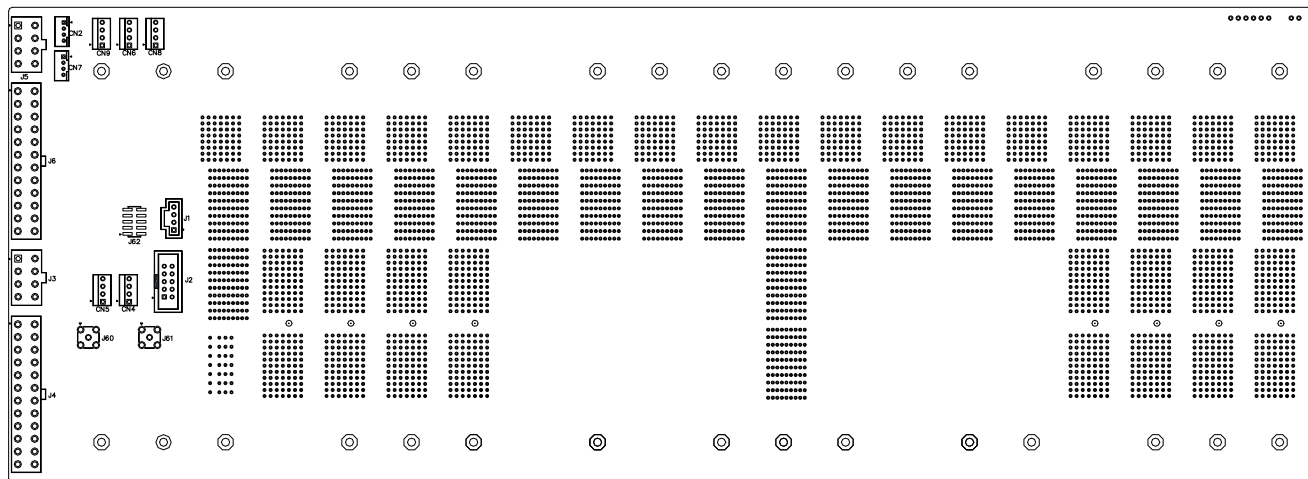
存放温度：-40℃~+85℃

2.2 规格

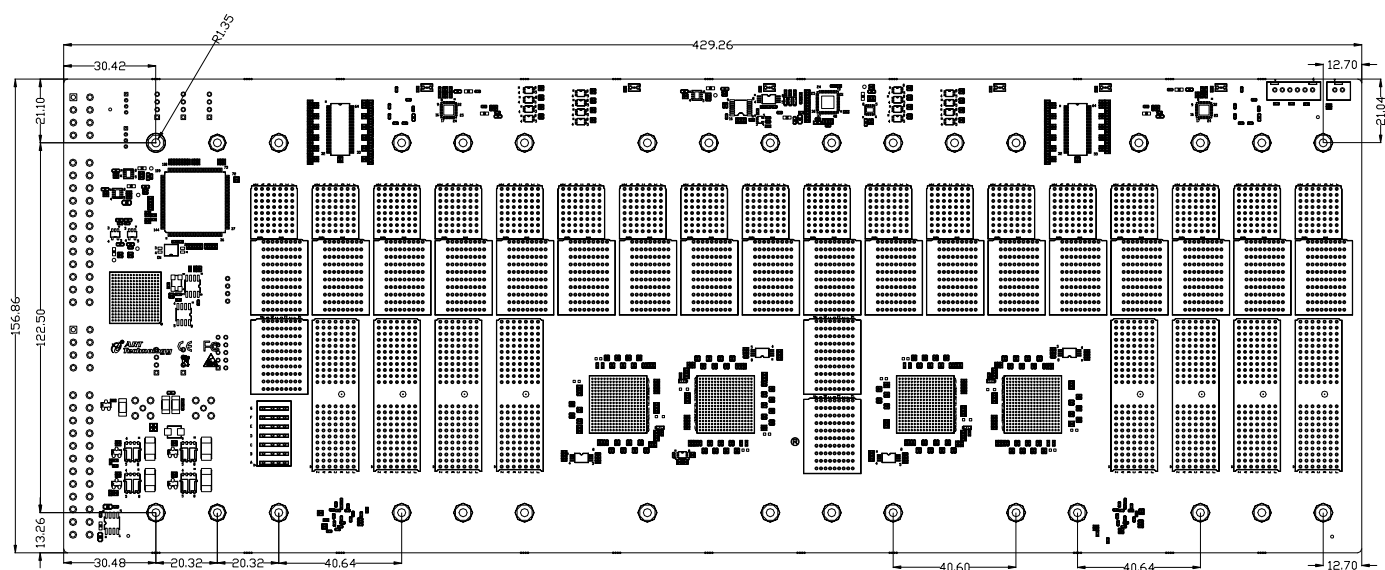
供电电源			
VDC	最大值	负载调整率	最大脉动电压&噪声
+5V	29.0 A	±3%	50 mV
+12V	45.0 A	±3%	50 mV
+3.3V	60.0 A	±3%	50 mV
-12V	2.5 A	±3%	50 mV
基准内时钟 10MHz（10MHz REF）			
插槽之间最大的时钟相位差		300ps	
内置 10MHz 时间精度		±25 ppm	
BNC 输出幅度		2.2VPP(square)	
BNC 输出阻抗		50Ω±5Ω	
外时钟 10MHz 输入要求			
输入频率		10 MHz ±100 PPM	
输入信号（10MHz REF in BNC）		100mV~5V(square or sine)	
输入阻抗（10MHz REF in BNC）		50Ω±5Ω	
输入信号(PXI_CLK10_IN on 10th slot)		3.3 V or 5V TTL signal	
内时钟 100 MHz：PXIe_CLK100			
槽与槽之间最大倾斜		100 ps	
精度		±25 ppm	

3 背板视图

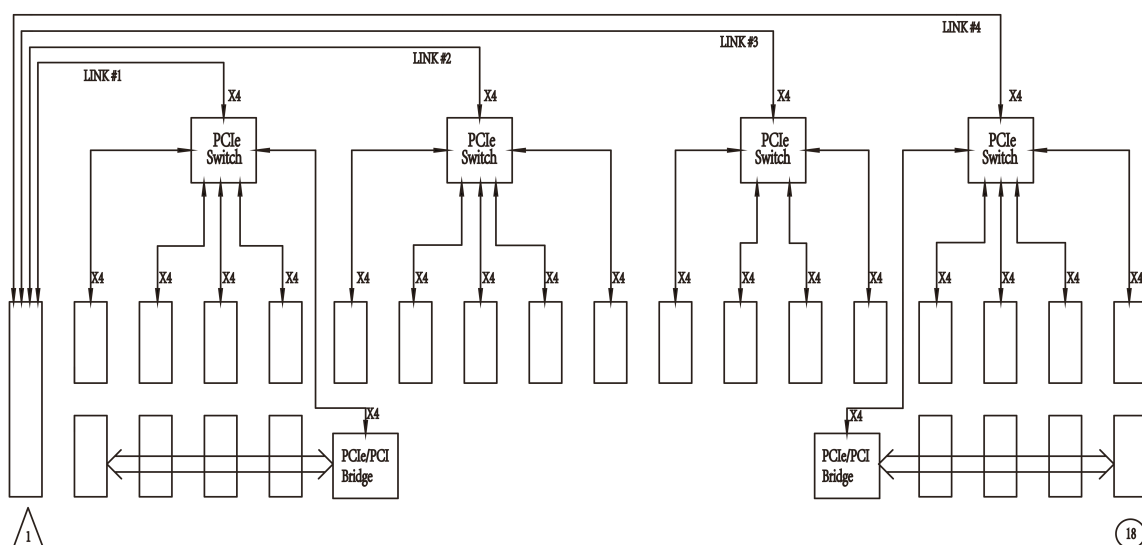
3.1 背板顶视图



3.2 背板底视图



4 拓扑结构



PXI Express System Controller 插槽

System Controller 插槽通过 PXI 规范来定义。PXIe-BP3318 背板可提供一个占用高度达 4 插槽的 PXI Express 系统控制器。由于在 PXI 规范定义中，3 个控制器扩充插槽允许控制器扩展到左侧防止控制器用尽外设插槽。

PXI Express System Timing 插槽

System Timing 是插槽 10，提供了一个专用的单端星形触发和 4 对差分星形触发线给外围插槽。星形触发功能由安装的 ST 时隙的特定星形触发控制器模块提供了精确地触发信号给外围模块。如不需要星形触发功能，星形触发插槽也可以作为一般的 PXI Express 外设插槽。

PXI Express Hybrid 插槽

PXIe-BP3318 背板提供 8 个外设插槽，每个都是 PXI Express 混合插槽，每个都可以提供一个 3U PXI Express/CompactPCI Express/hybrid 插槽兼容的 PXIe/compactPCI 外围模块。

PXI Express 插槽

PXIe-BP3318 背板提供 8 个 PXI Express 插槽，每个都是 PXI Express 混合插槽，每个只能提供一个 3U PXI Express/CompactPCI Express 外围模块。

本地总线

PXI 背板是由左右相邻的外围插槽连接各自的外围插槽的菊花链状总线，在 PXI Express 背板当地总线的数量由 13 减少至 1，在模块之间传输模拟信号或数字信号。

触发总线

PXIe-BP3318 背板提供 3 个触发总线，1 到 6 槽是第一个触发总线，7 到 12 槽是第二个触发总线，13 到 18 槽是第三个触发总线。每个触发总线是一个 8 行总线，连接 PXIe-BP3318 上的所有插槽，提供模块间的同步。PXI 和 PXI Express 模块通过触发总线可以交换触发或时钟信号，允许定时响应以控制外部事件的发生。两个触发总线缓冲可以连接或断开触发线相邻段。

参考时钟

PXIe-BP3318 背板同一时间内为每个外围插槽模块提供单端 10MHz 参考时钟（PXI_CLK10）和 100MHz 差时钟（PXIe_CLK100），独立缓冲器驱动时钟信号到每个外围槽。

这些共同的参考时钟信号可以在 PXI Express 机箱同步若干模块，PXI 模块与锁相环电路可以锁定参考时钟，以产生一个同相时基。

PXI_CLK10 和 PXIe_CLK100 时钟根据 PXI-5 规范, 由于外部的 10MHz 时钟输入可以覆盖板载 10MHz 的时钟源, 在背板上一个锁相环 (PLL) 电路同步 PXIe_CLK100 和外部的 10MHz 时钟。

5 引脚分配

5.1 PXIe 系统插槽(Slot #1) 引脚分配

5.1.1 XJ1 (J10) 信号定义

Pin	1	2	3	4
G	GND	GND	GND	GND
F	12V	12V	12V	12V
E	12V	12V	12V	12V
D	GND	GND	GND	GND
C	5V	5V	5V	5V
B	3.3V	3.3V	3.3V	3.3V
A	GND	GND	GND	GND
Pin	1	2	3	4

5.1.2 XP2 (J9) 信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	3PETp1	3PETn1	GND	3PERp1	3PERn1	GND	3PETp2	3PETn2	GND
2	3PETp3	3PETn3	GND	3PERp3	3PERn3	GND	3PERp2	3PERn2	GND
3	4PETp0	4PETn0	GND	4PERp0	4PERn0	GND	4PETp1	4PETn1	GND
4	4PETp2	4PETn2	GND	4PERp2	4PERn2	GND	4PERp1	4PERn1	GND
5	4PETp3	4PETn3	GND	4PERp3	4PERn3	GND	NC	NC	GND
6	NC	NC	GND	NC	NC	GND	NC	NC	GND
7	NC	NC	GND	NC	NC	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.1.3 XP3 (J8) 信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	NC	NC	GND	NC	NC	GND	NC	NC	GND
2	NC	NC	GND	PWR_OK	PS_ON#	GND	LINKCAP	PWRBTN#	GND
3	SMBDAT	SMBCLK	GND	4RefClk+	4RefClk-	GND	2RefClk+	2RefClk-	GND
4	NC	PERST#	GND	3RefClk+	3RefClk-	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PWRp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	2PETp0	2PETn0	GND
8	2PETp1	2PETn1	GND	2PERp1	2PERn1	GND	2PERp0	2PERn0	GND

9	2PETp2	2PETn2	GND	2PERp2	2PERn2	GND	2PETp3	2PETn3	GND
10	3PETp0	3PETn0	GND	3PERp0	3PERn0	GND	2PERp3	2PERn3	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.1.4 XP4(J3) 信号定义

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	NC	NC	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	NC	NC	NC	NC	NC	GND
4	GND	NC	NC	NC	NC	NC	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	NC	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.2 定时触发插槽（Slot#10）引脚分配

5.2.1 XP4(J33) 信号定义

Pin	Z	A	B	C	D	E	F
1	GND	GND	NC	GND	NC	GND	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	GND	3.3V	3.3V	3.3V	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_CLK10_IN	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	PXIe_SYNC_CTRL	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.2.2 XP3(J34) 信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_CLK 100+	PXIe_CL K100-	GND	PXIe_SY NC100+	PXIe_SY NC100-	GND	PXIe_DS TARC+	PXIe_DS TARC-	GND
2	PRSNT#	PWREN#	GND	PXIe_DS TARB+	PXIe_DS TARB-	GND	PXIe_DS TARA+	PXIe_DS TARA-	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND

7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.2.3 TP2(J35) 信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_DS TARC0+	PXIe_DS TARC0-	GND	PXIe_DST ARC8+	PXIe_DST ARC8-	GND	PXIe_DST ARB8+	PXIe_DST ARB8-	GND
2	PXIe_DS TARA0+	PXIe_DS TARA0-	GND	PXIe_DST ARC9+	PXIe_DST ARC9-	GND	PXIe_DST ARA8+	PXIe_DST ARA8-	GND
3	PXIe_DS TARB0+	PXIe_DS TARB0-	GND	PXIe_DST ARC1+	PXIe_DST ARC1-	GND	PXIe_DST ARA9+	PXIe_DST ARA9-	GND
4	PXIe_DS TARB1+	PXIe_DS TARB1-	GND	PXI_STA R0	PXI_STA R1	GND	PXIe_DST ARB9+	PXIe_DST ARB9-	GND
5	PXIe_DS TARA1+	PXIe_DS TARA1-	GND	PXI_STA R2	PXI_STA R3	GND	PXIe_DST ARC10+	PXIe_DST ARC10-	GND
6	PXIe_DS TARC2+	PXIe_DS TARC2-	GND	PXI_STA R4	PXI_STA R5	GND	PXIe_DST ARA10+	PXIe_DST ARA10-	GND
7	PXIe_DS TARB2+	PXIe_DS TARB2-	GND	PXI_STA R6	PXI_STA R7	GND	PXIe_DST ARB10+	PXIe_DST ARB10-	GND
8	PXIe_DS TARA2+	PXIe_DS TARA2-	GND	PXI_STA R8	PXI_STA R9	GND	PXIe_DST ARC11+	PXIe_DST ARC11-	GND
9	PXIe_DS TARC3+	PXIe_DS TARC3-	GND	PXI_STA R10	PXI_STA R11	GND	PXIe_DST ARA11+	PXIe_DST ARA11-	GND
10	PXIe_DS TARB3+	PXIe_DS TARB3-	GND	PXIe_DST ARC16+	PXIe_DST ARC16-	GND	PXIe_DST ARB11+	PXIe_DST ARB11-	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.2.4 TP1(J36) 信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_DS TARA3+	PXIe_DS TARA3-	GND	PXIe_DST ARC7+	PXIe_DST ARC7-	GND	PXIe_DST ARC12+	PXIe_DST ARC12-	GND
2	PXIe_DS TARC4+	PXIe_DS TARC4-	GND	PXI_STA R12	PXI_STA R13	GND	PXIe_DST ARA12+	PXIe_DST ARA12-	GND
3	PXIe_DS TARB4+	PXIe_DS TARB4-	GND	PXIe_DST ARA16+	PXIe_DST ARA16-	GND	PXIe_DST ARB12+	PXIe_DST ARB12-	GND
4	PXIe_DS TARA4+	PXIe_DS TARA4-	GND	PXIe_DST ARB7+	PXIe_DST ARB7-	GND	PXIe_DST ARC13+	PXIe_DST ARC13-	GND
5	PXIe_DS TARC5+	PXIe_DS TARC5-	GND	PXI_STA R14	PXI_STA R15	GND	PXIe_DST ARA13+	PXIe_DST ARA13-	GND
6	PXIe_DS	PXIe_DS	GND	PXIe_DST	PXIe_DST	GND	PXIe_DST	PXIe_DST	GND

	TARB5+	TARB5-		ARB16+	ARB16-		ARB13+	ARB13-	
7	PXIe_DS TARA5+	PXIe_DS TARA5-	GND	PXIe_DST ARA7+	PXIe_DST ARA7-	GND	PXIe_DST ARC14+	PXIe_DST ARC14-	GND
8	PXIe_DS TARC6+	PXIe_DS TARC6-	GND	PXI_STA R16	NC	GND	PXIe_DST ARA14+	PXIe_DST ARA14-	GND
9	PXIe_DS TARB6+	PXIe_DS TARB6-	GND	PXIe_DST ARC15+	PXIe_DST ARC15-	GND	PXIe_DST ARB14+	PXIe_DST ARB14-	GND
10	PXIe_DS TARA6+	PXIe_DS TARA6-	GND	PXIe_DST ARB15+	PXIe_DST ARB15-	GND	PXIe_DST ARA15+	PXIe_DST ARA15-	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.3 PXIe 混合外设插槽引脚分配

5.3.1 P1 信号定义

P1 接口对应插槽(Slot #2~Slot #4、Slot #11~Slot #14)的 J13、J17、J20、J23、J49、J52、J55、J58，其信号定义为：

Pin	Z	A	B	C	D	E	F
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND
24	GND	AD[1]	5V	V(I/O)	AD[0]	ACK64#	GND
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND
21	GND	3.3V	AD[9]	AD[8]	M66EN	C/BE[0]#	GND
20	GND	AD[12]	GND	V(I/O)	AD[11]	AD[10]	GND
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND
17	GND	3.3V	IPMB_SCL	IPMB_SDA	GND	PERR#	GND
16	GND	DEVSEL#	GND	V(I/O)	STOP#	LOCK#	GND
15	GND	3.3V	FRAME#	IRDY#	BD_SEL#	TRDY#	GND
12-14	Keying Area						
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND
9	GND	C/BE[3]#	IDSEL	AD[23]	GND	AD[22]	GND
8	GND	AD[26]	GND	V(I/O)	AD[25]	AD[24]	GND
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND
5	GND	NC	NC	RST#	GND	GNT#	GND
4	GND	IPMB_PWR	HEALTHY#	V(I/O)	INTP	INTS	GND
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND
2	GND	TCK	5V	TMS	NC	NC	GND
1	GND	5V	-12V	TRST#	+12V	5V	GND
Pin	Z	A	B	C	D	E	F

5.3.2 XP3 信号定义

XP3 接口对应插槽(Slot #2~Slot #4、Slot #11~Slot #14)的 J12、J16、J19、J22、J48、J51、J54、J57，其信号定义为：

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXle_CLK 100+	PXle_CL K100-	GND	PXle_SY NC100+	PXle_SY NC100-	GND	PXle_DS TARC+	PXle_DST ARC-	GND
2	PRSENT#	PWREN#	GND	PXle_DS TARB+	PXle_DST ARB-	GND	PXle_DS TARA+	PXle_DST ARA-	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	NC	NC	GND
8	1PETp5	NC	GND	NC	NC	GND	NC	NC	GND
9	1PETp6	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.3.3 XP4 信号定义

XP4 接口对应插槽(Slot #2~Slot #4、Slot #11~Slot #14)的 J11、J15、J18、J21、J47、J50、J53、J56，其信号定义为：

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	NC	GND	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	GND	3.3V	3.3V	3.3V	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.4 PXIe 外设插槽引脚分配

5.4.1 XP4 信号定义

XP4 接口对应插槽(Slot #6~Slot #9、Slot #11~Slot #14)的 J24、J27、J29、J31、J37、J39、J41、J43，其信号定义为：

Pin	Z	A	B	C	D	E	F
1	GND	GND	NC	GND	NC	NC	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	GND	3.3V	3.3V	3.3V	GND

5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.4.2 XP3 信号定义

XP3 接口对应插槽(Slot #6~Slot #9、Slot #11~Slot #14)的 J25、J28、J30、J32、J38、J40、J42、J44，其信号定义为：

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_CLK 100+	PXIe_CL K100-	GND	PXIe_SY NC100+	PXIe_SY NC100-	GND	PXIe_DS TARC+	PXIe_DS TARC-	GND
2	PRSNT#	PWREN#	GND	PXIe_DST ARB+	PXIe_DST ARB-	GND	PXIe_DS TARA+	PXIe_DS TARA-	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

6 背板连接器说明

6.1 ATX 直流电源接口

J4、J6：标准 24Pin ATX 电源接口，其信号定义为：

引脚	信号	引脚	信号
1	+3.3V	13	+3.3V
2	+3.3V	14	-12V/NC
3	GND	15	GND
4	+5V	16	PS_ON
5	GND	17	GND
6	+5V	18	GND
7	GND	19	GND
8	NC	20	NC
9	+5VSTBY	21	+5V
10	+12V	22	+5V
11	+12V	23	+5V
12	+3.3V	24	GND

J3、J5：标准 8Pin ATX 电源接口，其信号定义为：

引脚	信号
1	GND
2	GND
3	GND
4	GND
5	+12V
6	+12V
7	+12V
8	+12V

6.2 系统槽电源控制接口

CN5: 系统槽电源控制接口, 其信号定义为:

CN5 引脚	信号
1	GND
2	+12V_SYS_SNS
3	+12V_SYS_INHIBIT_ENH
4	+5V_STANDBY

6.3 10M 时钟输入输出接口

J60: 外部 10M 时钟输入接口

J61: 外部 10M 时钟输出接口

6.4 FPGA 接口

J62: 10pin 插针, 引脚定义如下:

引脚	信号	引脚	信号
1	FPGA_TCK	2	GND
3	FPGA_TDO	4	+V2P5S_FPGA
5	FPGA_TMS	6	NC
7	NC	8	NC
9	FPGA_TDI	10	GND

6.5 远程监控接口

J2: 远程监控接口, 其引脚定义为:

引脚	信号	引脚	信号
1	GND	2	+12V
3	+5V	4	NC
5	NC	6	NC
7	+3.3V	8	GND
9	EXT_INHIBIT	10	NC

6.6 模式控制接口

J1: 该接口为风扇与电源模式控制接口, 其引脚定义为:

引脚	信号
1	FAN_CTRT_MODE
2	GND
3	POWER_CTRL_MODE
4	GND

风扇模式选择: 断开 1、2 引脚, 为 Auto 模式;
短接 1、2 引脚, 为 Manual 模式。
电源模式选择: 断开 3、4 引脚, 为 Default 模式;
短接 3、4 引脚, 为 Manual 模式。

6.7 系统 Button 接口

CN3: 系统 Button 接口, 其引脚定义为:

引脚	定义
1	GND
2	CHASSIS_Button

6.8 报警指示灯接口

CN1: 报警指示灯接口, 其引脚定义为:

引脚	定义	引脚	定义
1	+3.3V	4	ALERT_LED_FAN
2	ALERT_LED_TEMP	5	+3.3V
3	+3.3V	6	ALERT_LED_PWR

6.9 风扇电源

CN4/CN5/CN6/CN8/CN9: 调速风扇接口, 其信号定义为:

CN4 引脚	信号	CN5 引脚	信号	CN6 引脚	信号
1	GND	1	GND	1	GND
2	+12V	2	+12V	2	+12V
3	FAN1_SPD_SNS	3	FAN2_SPD_SNS	3	FAN3_SPD_SNS
4	FAN1_SPD_CTRL	4	FAN2_SPD_CTRL	4	FAN3_SPD_CTRL
1	GND	1	GND		
2	+12V	2	+12V		
3	FAN4_SPD_SNS	3	FAN5_SPD_SNS		
4	FAN4_SPD_CTRL	4	FAN5_SPD_CTRL		

6.10 PCI 总线 66M 时钟使能

SW2: PCI 总线 66M 时钟使能设置, 拨码打开为 ON 时为 66M 使能, OFF 为 33M

6.11 10M 时钟输入/输出接口

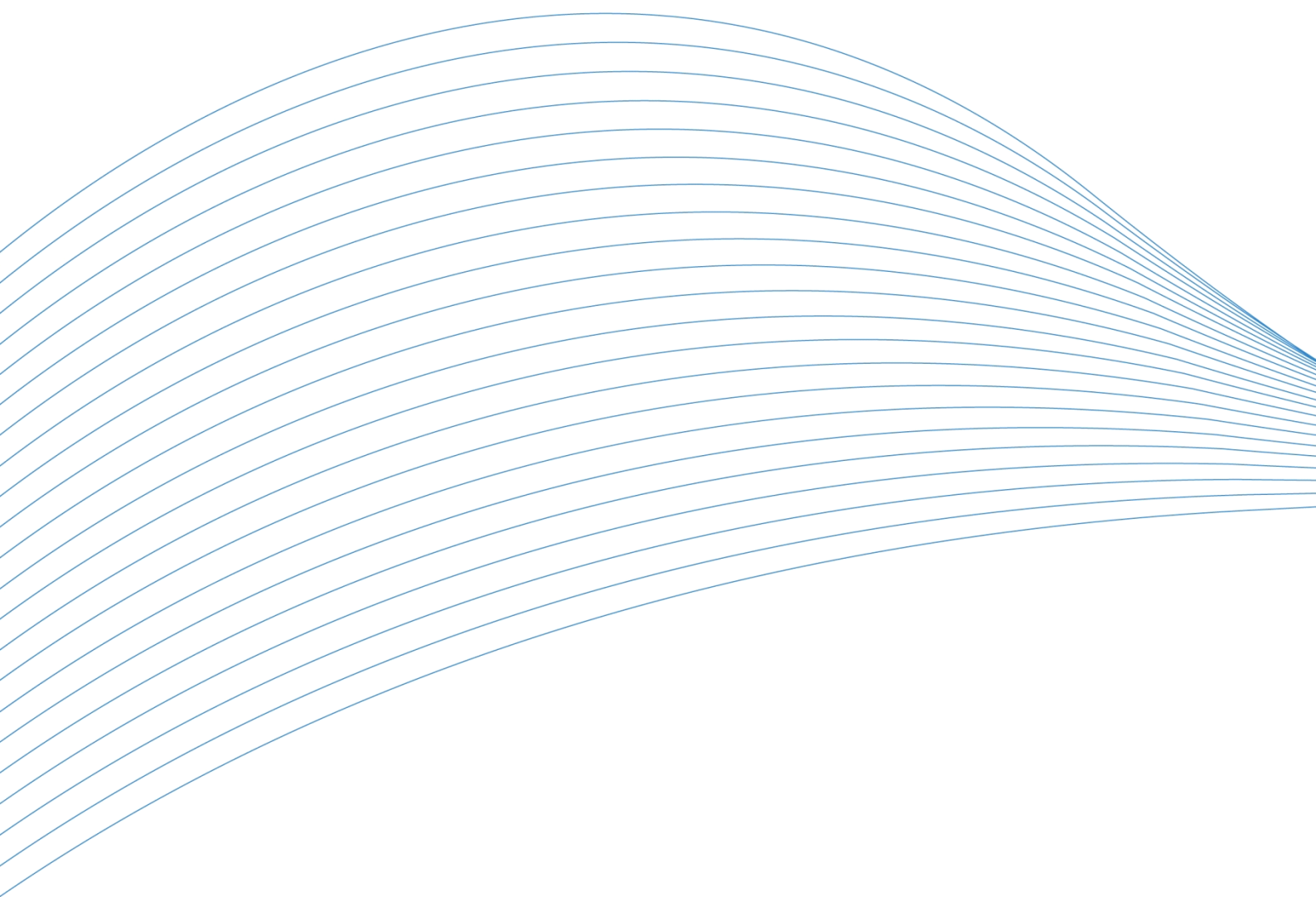
J60/J61: 用于 10M 时钟输入/输出的 BNC 接头。

6.12 参考时钟

PXIe-BP3318 背板同一时间内为每个外围插槽模块提供单端 10MHz 参考时钟 (PXI_CLK10) 和 100MHz 差分时钟 (PXIe_CLK100)，独立缓冲器驱动时钟信号到每个外围槽。

这些共同的参考时钟信号可以在 PXI Express 机箱同步若干模块，PXI 模块与锁相环电路可以锁定参考时钟，以产生一个同相时基。

PXI_CLK10 和 PXIe_CLK100 时钟根据 PXI-5 规范，由于外部的 10MHz 时钟输入可以覆盖板载 10MHz 的时钟源，在背板上一个锁相环 (PLL) 电路同步 PXIe_CLK100 和外部的 10MHz 时钟。



北京阿尔泰科技发展有限公司

服务热线：400-860-3335

邮编：100086

传真：010-62901157