

国产军用 JFM 80386EX™ 嵌入式 CPU 器件手册 No. 1

上海霖叶微电子有限公司

2008年 -10

前言

国产军用JFM80386EX™ EX嵌入式处理器

- 与Intel 386EX嵌入式处理器全兼容
- 静态JFM80386CX CPU 核心
 - 低功耗
 - 5 V ± 5%工作电源提供
 - 25MHz工作频率
- Powerdown模式
 - 在任何时间关时钟
 - 只有10~20μA的典型CPU Sink电流
- 全32位内部架构
 - 8、16、32位数据类型
 - 8个通用32位寄存器
- 目标代码与Intel 8086, 80186, 80286和80386处理器兼容
- 高性能16位数据总线
 - 两时钟总线周期
 - 采用地址流水线, 允许使用速度更低的廉价存储器
- 完整的内存管理单元MMU
 - 支持虚拟存储器
 - 可选的片上内存分页
 - 4级硬件加强保护
 - MMU完全与Intel 80286和80386处理器兼容
- 虚拟8086模式允许在保护模式和分页系统下执行8086软件
- 巨大的统一的寻址空间
 - 64MB物理地址空间
 - 64TB虚拟地址空间
 - 4GB最大段尺寸
- 由专用Intel 387™ SX算术协处理器提供运算支持
- 片上调试支持包括断点寄存器
- 完全的系统开发支持
- 高速的CMOS技术
- 两种封装类型
 - 168管脚PGA
 - 164管脚CQFP
- 可用产品等级
 - 军用级: -55°C 至 +125°C
 - GJB548A 标准考核
- 完整的外设功能
 - 时钟及电源管理单元
 - 片选单元
 - 中断控制单元
 - 定时器控制单元
 - 看门狗定时器单元
 - 异步串行 I/O 单元
 - 同步串行 I/O 单元
 - 并行 I/O 单元
 - DMA 及总线仲裁单元
 - 刷新控制单元
 - 测试逻辑单元

目录

军用 JFM80386EX™ 嵌入式微处理器

1.0 介绍.....	4
2.0 管脚定义.....	5
3.0 管脚描述.....	10
4.0 功能描述.....	14
4.1 时钟发生与电源管理单元.....	14
4.2 片选单元.....	14
4.3 中断控制单元.....	14
4.4 定时器控制单元.....	14
4.5 看门狗定时器单元.....	14
4.6 异步串行 I/O 单元.....	15
4.7 同步串行 I/O 单元.....	15
4.8 并行 I/O 单元.....	15
4.9 DMA 及总线仲裁单元.....	15
4.10 刷新控制单元.....	15
4.11 JTAG 测试逻辑单元.....	15
5.0 设计注意.....	15
5.1 指令集.....	16
5.2 组成及修订版标识符.....	16
5.3 封装热规范.....	16
6.0 直流规范.....	19
6.1 最大级别.....	19
6.2 工作条件.....	19
7.0 交流规范.....	20
8.0 总线周期波形.....	32
9.0 与 Intel387™ SX 算术协处理器的接口.....	43
9.1 系统配置.....	43
10.0 修订版记录.....	44

图

图 1. JFM80386EX 嵌入式处理器方框图.....	4
图 2. 168-管脚 PGA 管脚图（底视图——管脚面）.....	5
图 3. 168-管脚 PGA 管脚图（顶视图——器件面）.....	6
图 4. 交流规范的驱动器级别和测量点.....	19
图 5. 交流测试负载.....	25
图 6. CLK2 波形.....	25
图 7. CLK2 信号及内部处理器时钟.....	26
图 8. 交流定时波形——输入建立和保持定时.....	27
图 9. 交流定时波形——输出有效延迟定时.....	28
图 10. 交流定时波形——输出浮空延迟及 HLDA 有效延迟定时.....	29
图 11. 交流定时波形——复位建立及 Hold 定时和内部相位.....	29

图 12. 交流定时波形——相对信号定时.....	30
图 13. 交流定时波形——SSIO 定时.....	30
图 14. 交流定时波形——定时器/计数器定时.....	31
图 15. 从复位到第一次取值的总线操作.....	32
图 16. 局部总线读写周期（零等待状态）.....	33
图 17. 局部总线读写周期（有等待状态）.....	34
图 18. 流水线局部总线读写周期（有等待状态）.....	35
图 19. 局部总线读写 BS8#周期.....	36
图 20. 局部总线读写周期（内部及外部）.....	37
图 21. 局部总线中断响应周期（内部级联）.....	38
图 22. 局部总线中断响应周期（外部级联）.....	39
图 23. 局部总线非流水线刷新周期.....	40
图 24. 局部总线 HOLD/HLDA 期间刷新周期.....	41
图 25. JFM80386EX 处理器与 Intel387SX 算术协处理器系统配置.....	42
表	
表 1. 168-管脚 PGA 管脚定义.....	7
表 2. 管脚描述.....	9
表 3. 组成及修订标识符寄存器.....	15
表 4. 168-管脚 PGA 封装热特性.....	16
表 5. 164-管脚 CQFP 封装热特性.....	16
表 6. 每条指令的时钟.....	17
表 7. SE1 (QML).....	18
表 8. SE2 (QML).....	18
表 9. 直流特性.....	18
表 10. 交流特性.....	20

1.0 介绍

国产军用 JFM80386EX 嵌入式处理器是国内研制成功的第一款基于 X86 体系的 32 位微处理器，与 Intel 同类型产品 Intel 386EX 全兼容；目前已经批量生产。

军用 JFM80386EX 嵌入式处理器是一种高度集成、32-位总线结构、专为恶劣环境下的嵌入式控制应用优化设计的全静态 CPU。它采用 16-位外部数据总线、26-位外部地址总线及 Intel 系统管理模式（SMM），它能在廉价的 16-位硬件系统中运行 32-位程序，可将基于 Intel386 架构的大量软件库应用于嵌入式系统。

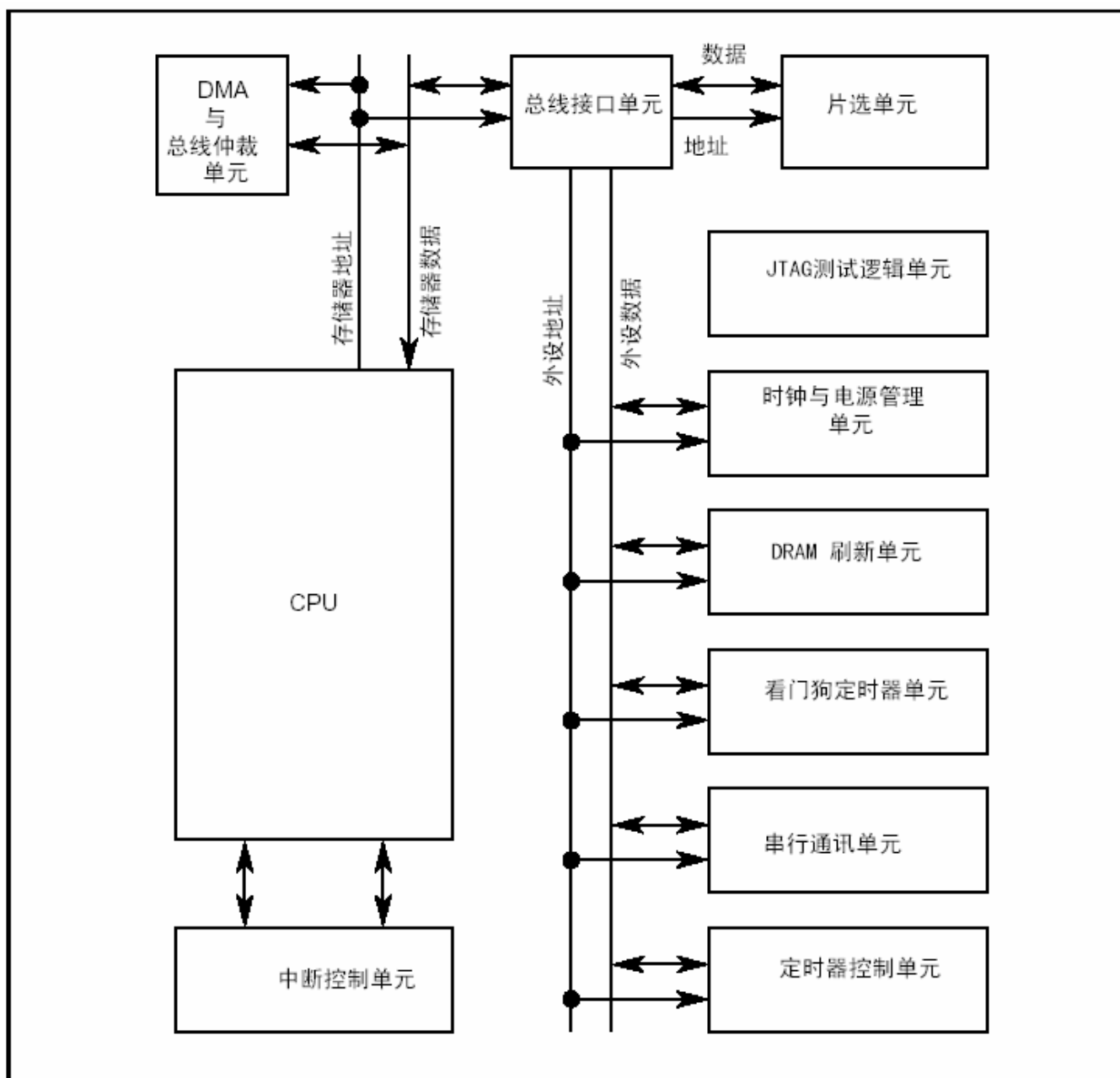


图 1. JFM80386EX 嵌入式处理器方框图

2.0 管脚图

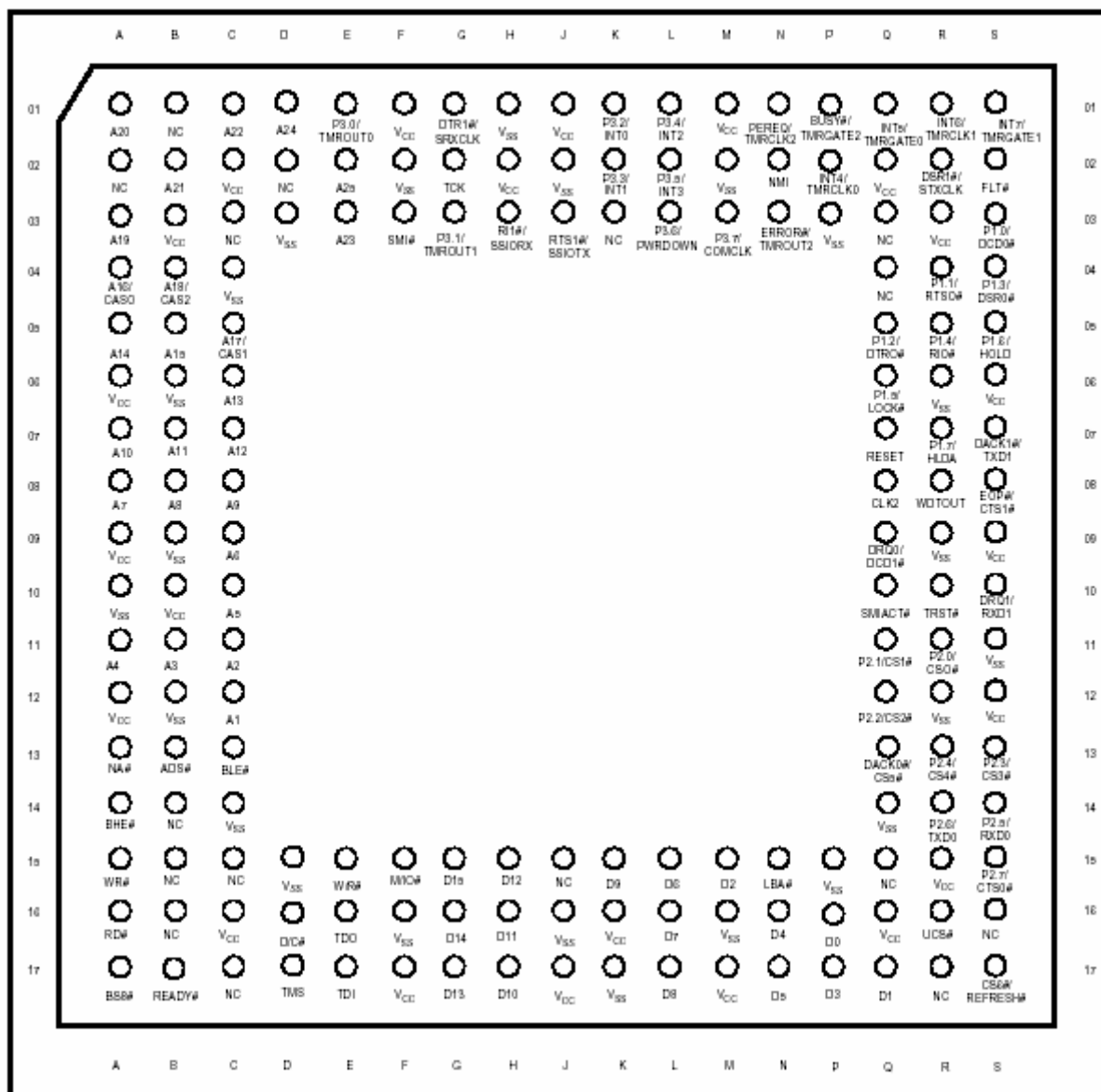


图 2. 168-管脚 PGA 管脚图 (底视图——管脚面)

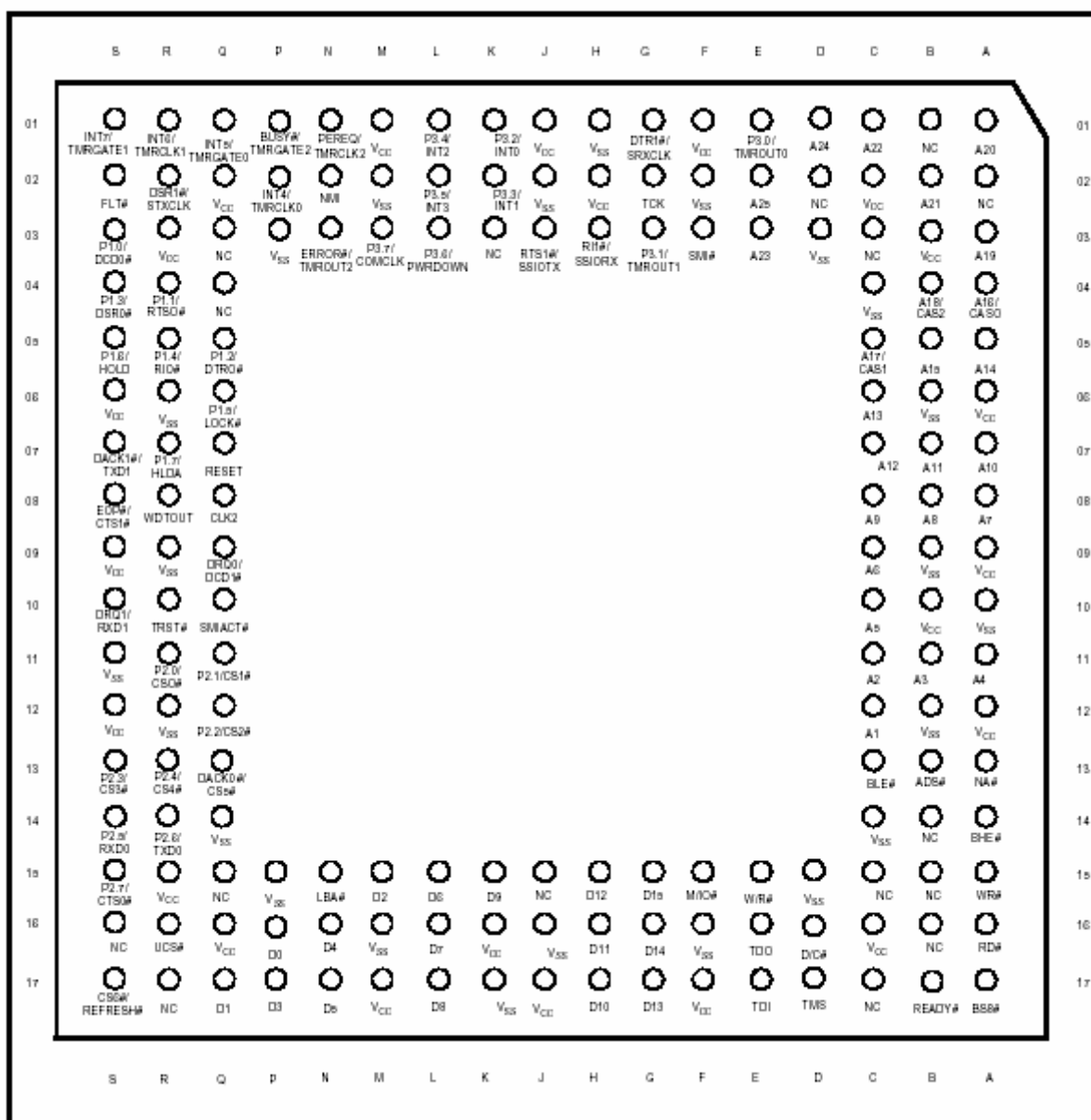


图 3. 168-管脚 PGA 管脚图 (顶视图——器件面)

表 1. 168-管脚 PGA 管脚定义

管脚	符号	管脚	符号	管脚	符号	管脚	符号
A1	A20	C9	A6	J15	NC	Q10	SMI ^{ACT} #
A2	NC	C10	A5	J16	V _{SS}	Q11	P2.1/CS1#
A3	A19	C11	A2	J17	V _{CC}	Q12	P2.2/CS2#
A4	A16/CAS0	C12	A1	K1	P3.2/INT0	Q13	DACK0#/CS5#
A5	A14	C13	BLE#	K2	P3.3/INT1	Q14	V _{SS}
A6	V _{CC}	C14	V _{SS}	K3	NC	Q15	NC
A7	A10	C15	NC	K15	D9	Q16	V _{CC}
A8	A7	C16	V _{CC}	K16	V _{CC}	Q17	D1
A9	V _{CC}	C17	NC	K17	V _{SS}	R1	INT6/TMRCLK1
A10	V _{SS}	D1	A24	L1	P3.4/INT2	R2	DSR1#/STXCLK
A11	A4	D2	NC	L2	P3.5/INT3	R3	V _{CC}
A12	V _{CC}	D3	V _{SS}	L3	P3.6/PWRDOWN	R4	P1.1/RTS0#
A13	NA#	D15	V _{SS}	L15	D6	R5	P1.4/RI0#
A14	BHE#	D16	D/C#	L16	D7	R6	V _{SS}
A15	WR#	D17	TMS	L17	D8	R7	P1.7/HLDA
A16	RD#	E1	P3.0/TMROUT0	M1	V _{CC}	R8	WDTOUT
A17	BS8#	E2	A25	M2	V _{SS}	R9	V _{SS}
B1	NC	E3	A23	M3	P3.7/COMCLK	R10	TRST#
B2	A21	E15	W/R#	M15	D2	R11	P2.0/CS0#
B3	V _{CC}	E16	TDO	M16	V _{SS}	R12	V _{SS}
B4	A18/CAS2	E17	TDI	M17	V _{CC}	R13	P2.4/CS4#
B5	A15	F1	V _{CC}	N1	PEREQ/TMRCLK2	R14	P2.6/TXD0
B6	V _{SS}	F2	V _{SS}	N2	NMI	R15	V _{CC}
B7	A11	F3	SMI#	N3	ERROR#/TMROUT2	R16	UCS#
B8	A8	F15	M/IO#	N15	LBA#	R17	NC
B9	V _{SS}	F16	V _{SS}	N16	D4	S1	INT7/TMRGATE1
B10	V _{CC}	F17	V _{CC}	N17	D5	S2	FLT#
B11	A3	G1	DTR1#/SRXCLK	P1	BUSY#/TMRGATE2	S3	P1.0/DCD0#
B12	V _{SS}	G2	TCK	P2	INT4/TMRCLK0	S4	P1.3/DSR0#
B13	ADS#	G3	P3.1/TMROUT1	P3	V _{SS}	S5	P1.6/HOLD
B14	NC	G15	D15	P15	V _{SS}	S6	V _{CC}
B15	NC	G16	D14	P16	D0	S7	DACK1#/TXD1
B16	NC	G17	D13	P17	D3	S8	EOP#/CTS1#
B17	READY#	H1	V _{SS}	Q1	INT5/TMRGATE0	S9	V _{CC}
C1	A22	H2	V _{CC}	Q2	V _{CC}	S10	DRQ1/RXD1
C2	V _{CC}	H3	RI1#/SSI ^{ORX}	Q3	NC	S11	V _{SS}
C3	NC	H15	D12	Q4	NC	S12	V _{CC}
C4	V _{SS}	H16	D11	Q5	P1.2/DTR0#	S13	P2.3/CS3#
C5	A17/CAS1	H17	D10	Q6	P1.5/LOCK#	S14	P2.5/RXD0
C6	A13	J1	V _{CC}	Q7	RESET	S15	P2.7/CTS0#
C7	A12	J2	V _{SS}	Q8	CLK2	S16	NC
C8	A9	J3	RTS1#/SSI ^{OTX}	Q9	DRQ0/DCD1#	S17	CS6#/REFRESH#

备注:

NC 表示该管脚未连

3.0 管脚描述

表 2 列出了军用 JFM80386EX 嵌入式处理器的管脚描述。管脚描述使用如下定义：

#	信号低电平有效
I	标准 CMOS 输入信号
O	标准 CMOS 输出信号
I/O	输入及输出信号
I/OD	输入及开漏输出信号
ST	施密特触发输入信号
P	电源
G	地

表 2 管脚定义

符号	类型	名称及功能
A25:1	O	地址总线 提供物理存储器或 I/O 端口的地址。在 ADS#有效时，地址总线要准备好，直到下一个 T1, T2P, 或 Ti。HOLD 周期，A25:1 变成高阻状态。A18:16 与 CAS2:0 复用。
ADS#	O	地址选通 表示地址线(W/R#, D/C#, M/I/O#, A25:1, BHE#, BLE#)有效。
BHE#	O	高字节有效 表示处理器正在传输高字节数据。
BLE#	O	低字节有效 表示处理器正在传输低字节数据。
BS8#	I	总线宽度 表示当前访问的器件的数据线为 8bit。
BUSY#	I	忙 表示算术协处理器正忙，若在 RESET 的下降沿 BUSY#采样为低电平，则处理器执行内部自测试。BUSY#与 TMRGATE2 复用。
CAS2:0	I	级联地址 在中断响应总线周期从 82C59A 主中断模块取得从 82C59A 地址信息。与 A18:16 复用。
CLK2	ST	时钟输入 与外部时钟相连接，为 386 提供基本的定时。
COMCLK	I	串行通讯波特时钟 是异步串行口的一个外部时钟源。与 P3.7 复用。
CS6:0#	O	片选 当用户对内存或 I/O 的地址寻址时激活。以下管脚复用：CS6#与 REFRESH#，CS5# 与 DACK0#，CS4:0# 与 P2.4:0。
CTS1:0#	I	清 SIO1 发和 SIO0 发 分别防止数据发到异步串口的 RXD1 和 RXD0。CTS1#与 EOP#复用，CTS0# 与 P2.7 复用。CTS1# 需要外部上拉电阻。
D15:0	I/O	数据总线 在内存读、I/O 读及中断响应周期输入数据，在内存写、I/O 写周期输出数据。写时，在 T1 的相位 2 期间被驱动并保持有效直到下一个 T1、T1P 或 Ti 的相位 2。读时，在相位 2 的下降沿数据被锁存。
DACK1:0#	0	DMA 响应 1 和 0 给外设的信号，表明处理器响应了相应的 DMA 请求并放弃了总线。DACK1#与 TXD1、DACK0# 与 CS5#复用
D/C#	0	数据/控制 表明当前总线周期是数据周期（存储器或 I/O 读或写）还是控制周期（中断响应、halt、或取指）。

DCD1:0#	I	SIO1 and SIO0 数据载波监测 表示 modem/数据集检测到了相应的异步串行通道的数据载波。DCD1#与 DRQ0、DCD0#与 P1.0 复用。
DRQ1:0	I	DMA 外部请求 1 和 0 表示外设请求 DMA 服务。DRQ1 与 RXD1, DRQ0 与 DCD1#复用。
DSR1:0#	I	数据集准备好向 SIO1 和 SIO0 发送数据 表明 modem/数据集准备好与相应异步串行口建立通讯链接。DSR1# 与 STXCLK, DSR0# 与 P1.3 复用。
DTR1:0#	O	数据终端准备好向 SIO1 和 SIO0 发送数据 表明相应异步串行口准备好与 modem/数据集建立通讯链接。DTR1# 与 SRXCLK, and DTR0#与 P1.2 复用。
EOP#	I/O	过程结束 表明在 DMA 传输中计数完毕。外设能将此管脚拉低。EOP# 与 CTS1#复用。
ERROR#	I	错误 表明算术协处理器出错。ERROR# 与 TMR0UT2 复用。
FLT#	I	浮空 强制所有的双向信号和除TDO外的输出信号为高阻状态。
HLDA	O	总线保持响应 表明处理器将局部总线控制权交给另一个器件。HLDA 与P1.7复用。
HOLD	I	总线保持请求 允许另一个器件请求控制局部总线。HLDA 有效表明总线控制已获准。HOLD与P1.6复用。
INT7:0	I	中断请求 是可屏蔽输入,使CPU挂起当前程序并执行中断响应周期。INT7与TMRGATE1, INT6与TMRCLK1, INT5 与 TMRGATE0 , INT4与TMRCLK0, INT3:0与P3.5:2复用。
LBA#	O	局部总线访问 表明处理器提供READY#信号,中止总线传输。当内部外设地址被访问或CSU提供READY#信号时产生。
LOCK#	O	总线锁定 防止其他器件控制系统总线。LOCK# 与P1.5复用。
M/I/O#	O	存储器/I/O 表明当前总线周期是存储器还是I/O周期。M/I/O#为高是存储器周期,为低是I/O周期。
NA#	I	下一地址 请求地址流水线。
NMI	ST	非屏蔽中断请求 是非屏蔽输入,使CPU挂起当前程序并执行中断响应周期。
PEREQ	I	处理器扩展请求 表明算术协处理器有数据传输给处理器。PEREQ 与TMRCLK2复用。
P1.7:0	I/O	端口1, 管脚7:0 是多用途的双向端口管脚。复用如下: P1.7 与 HLDA、P1.6 与 HOLD、P1.5 与 LOCK#、P1.4 与 RI0#、P1.3 与 DSR0#、P1.2 与 DTR0#、P1.1与RTS0#、P1.0 与 DCD0# 复用。
P2.7:0	I/O	端口2, 管脚7:0 是多用途的双向端口管脚。复用如下: P2.7与 CTS0#, P2.6与TXD0, P2.5与RXD0, P2.4:0与CS4:0#复用。
P3.7:0	I/O	端口3, 管脚7:0 是多用途的双向端口管脚。复用如下: P3.7与 COMCLK, P3.6与PWRDOWN, P3.5:2与INT3:0, P3.1:0与 TMR0UT1:0复用。
PWRDOWN	O	掉电 表明处理器正在掉电模式。PWRDOWN与P3.6复用。
RD#	O	读 表明当前是读周期。

READY#	I/O	就绪 表明当前总线传输已完成。外设或内部信号可驱动READY#。在内部,片选等状态逻辑产生就绪信号并驱动READY#管脚有效。
RESET	ST	复位 挂起运行中的操作,置处理器为确定的复位状态。
REFRESH#	O	刷新 表明当前周期是刷新周期。REFRESH#与CS6#复用。
RI1:0#	I	SIO1、SIO0 震铃指示 表明MODEM/数据集已接收到电话震铃信号。RI1#与SSIORX, RI0#与P1.4复用。
RTS1:0#	O	SIO1、SIO0 请求发送 表明相应异步串行口准备与MODEM/数据集交换数据。RTS1#与SSIoTX, RTS0#与P1.1复用。
RXD1:0	I	SIO1、SIO0 接收数据 接收来自MODEM/数据集的数据至相应异步串行口。RXD1与DRQ1复用, RXD0与P2.5复用。
SMI#	ST	系统管理中断 调用系统管理模式(SMM)。SMI#是优先级最高的外部中断。在它的下降沿被锁存,不管当前指令是否结束强制处理器进入SMM。在指令的末尾及串操作的每次重复时SMI#被确认。SMI#不能中断锁定的总线周期或当前正在执行的SMM。如果SMM期间处理器接收到第2个SMI#,则它将在SMI#的下降沿锁存第2个SMI#。但是,在服务第2个SMI#之前,处理器必须通过执行RESUME指令(RSM)而退出SMM。
SMIACT#	O	系统管理中断有效 表明处理器正运行于系统管理模式(SMM)。表明处理器初始化一个SMM次序,并保持低直到处理器执行RESUME指令(RSM)。
SRXCLK	I/O	SSIO接收时钟 同步正被同步串行口接收的数据。SRXCLK与DTR1#复用。
SSIORX	I	SSIO接收串行数据 接收正在发往同步串行口的串行数据(高位在前)。SSIORX与RI1#复用。
SSIoTX	O	SSIO发送串行数据 通过同步串行口发送串行数据(高位在前)。SSIoTX与RTS1#复用。
STXCLK	I/O	SSIO 发送时钟 同步正被同步串行口接收的数据。STXCLK与DSR1 复用。
TCK	I	TAP (测试访问端口) 控制器时钟 为JTAG逻辑提供时钟输入。
TDI	I	TAP (测试访问端口) 控制器数据输入 是测试指令和数据的串行输入。
TDO	O	TAP (测试访问端口) 控制器数据输出 是测试指令和数据的串行输出。
TMRCLK2:0	I	定时器/计数器时钟输入 可当作相应定时器/计数器的外部时钟输入(定时器/计数器还可以采用内部时钟。) 复用如下: TMRCLK2与PEREQ, TMRCLK1与INT6, TMRCLK0与INT4复用。
TMRGATE2:0	I	定时器/计数器门输入 能控制相应定时器/计数器的计数(由编程模式决定允许,禁止,或触发)。复用如下: TMRGATE2与BUSY#, TMRGATE1与INT7, TMRGATE0与INT5复用。
TMROUT2:0	O	定时器/计数器输出 提供相应定时器/计数器的输出。输出情况由编程模式决定。复用如下: TMROUT2与ERROR#, TMROUT1与P3.1, TMROUT0与P3.0。

TMS	I	TAP (测试访问端口)控制器模式选择 控制TAP控制器状态的次序。
TRST#	ST	TAP (测试访问端口)控制器复位 上电和每次激活时复位TAP控制器。
TXD1:0	O	SIO1 and SIO0 发送数据 通过独立串行口发送串行数据。TXD1与DACK1#, TXD0 与P2.6复用。
UCS#	O	上位片选 表明存储器或I/O总线周期的地址在用户编程的地址范围内。
VCC	P	系统电源 提供直流电源输入。与外部VCC相连。
VSS	G	系统地 为输入和输出提供0V测量基准。与外部地相连。
WDTOUT	O	看门狗定时器输出 表明看门狗定时器结束。
W/R#	O	写/读 表明当前总线周期是写周期或读周期。W/R# 为高是写周期；为低是读周期。
WR#	O	写允许 表明当前总线周期是写周期。

4.0 功能描述

专用 JFM80386EX 嵌入式处理器是全静态的、为恶劣环境下的嵌入式应用优化设计的 32-位处理器。它的特点是低功耗和低电压，集成了很多通用外设，采用 32-位编程架构，与 Intel386 处理器的大量软件兼容。以下是集成外设的简介。

4.1 时钟发生与电源管理单元

时钟发生电路包括一个除 2 计数器，一个产生 PSCLK 时钟的可编程除法器，一个产生波特率时钟输入的除 2 计数器，和复位电路。CLK2 为芯片提供基础的定时。在内部被 2 分频后为核和内部外设产生 2 个相位相反的时钟信号 PH1 和 PH2。根据电源管理模式，PH1C 和 PH2C 送给核心，PH1P 和 PH2P 送给内部外设。

电源管理模式用于省电选择。在 Idle 模式，CPU 核的时钟停止在确定状态（PH1C 和 PH2C 为高），但外设时钟依旧工作。在 Powerdown 模式，核和外设的时钟都停止在确定状态（PH1C 为低，PH2C 为高）。由于整个芯片都停止工作，所以 Powerdown 模式下总线接口单元不会响应 DMA，DRAM 刷新，及 HOLD 请求。

4.2 片选单元

片选单元对总线周期地址和状态信息进行译码并产生特定的片选信号。在与地址相同的总线周期片选有效，当选择了新地址或当前总线周期结束时片选无效。

CSU 包含 8 个独立的片选区域，分别使能 8 个片选管脚中的一个。每个片选区域被映射到存储器或 I/O 空间。一个存储器映射片选区域的起始地址是 $2^{(n+1)}$ KB（其中， $n=0-15$ ，由屏蔽寄存器决定）。一个 I/O 映射片选区域的起始地址是 $2^{(n+1)}$ Byte（其中， $n=0-15$ ，由屏蔽寄存器决定）。区域的大小同样由屏蔽决定。

4.3 中断控制单元

ICU 包含 2 个级联的 82C59A 模块。82C59A 模块是 ICU 的核心。这些模块类似于工业标准 82C59A。

ICU 支持 8 个外部（INT7:0）和 8 个内部中断请求信号。每一个中断请求信号对应相应的中断请求寄存器 IRR 的一位。若有中断请求信号，则相应的中断请求寄存器 IRR 位置 1。82C59A 模块可以设为识别中断请求线上的高有效电平或正传输。内部判优器基于设好的工作模式决定当前提出的中断请求是否优先级最高。判优器控制着通往 CPU 的中断请求线。判优器缺省的优先级顺序是主中断控制器的 IR0 优先级最高，主中断控制器的 IR7 优先级最低。优先级可以通过软件修改。

除了可用的 8 个中断请求输入，还可以通过级联外部 82C59A 模块来增加中断。通过主 82C59A 的 INT3:0 管脚，主 82C59A 最多可级联 4 个外部 82C59A。在这种情况下，中断响应信号（INTA#）可以通过外部 ADS#，D/C，W/R#，M/IO#等信号被译码。

4.4 定时器控制单元

TCU 的基本功能与工业标准 82C54 计数器/定时器相同。TCU 提供 3 个独立的 16-位计数器，每一个都能提供最高 8MHz 的时钟输入。当对计数器的输入时钟编程时必须考虑不能超过最高频率。6 种可编程定时器工作模式使定时器可用于事件计数器、定时器、可编程一次触发及其它很多应用。所有的模式都可软件编程。

4.5 看门狗定时器单元

WDT 单元包含一个 32-位减法计数器，每一个 PH1P 周期减 1，最多可有 43 亿个计数间隔。减法计数器减到 0（WDT 时间到）后 WDTOUT 管脚被拉高 16 个 CLK2 周期。WDTOUT 信号可用于复位芯片、请求中断、或向用户表明产生了预想中的挂起情况。确定条件下可通过一个用户定义的 32-位重载值来更新减法计数器。WDT 单元可用作总线监视器或通用定时器。

4.6 异步串口单元

SIO 单元是一个通用异步收发器(UART)，功能上等同于松下半导体的 NS16450 和 INS8250。专用 JFM80386EX 嵌入式处理器包含 2 个全双工的异步串行通道。

SIO 单元将从外设或 MODEM 接收到的串行数据字符转换成并行数据，并将来自 CPU 的并行数据转换成串行数据。CPU 可以在它工作的任何时刻读串口的状态。状态信息包括正在执行的传输操作的类型和条件及所有的出错信息（校验错、帧错误、覆盖错和打断错）。

每一个异步串行通道包含完全的 MODEM 控制支持（CTS#、RTS#、DSR#、DTR#、RI#和 DCD#），并且完全可

编程。可对字符的长度（5、6、7 或 8 位）、停止位（1、1.5 或 2 位）及校验位（奇、偶、强制或无校验）进行编程。另外，SIO 单元还包含一个波特率为 0—512Kb/s 的波特率发生器。

4.7 同步串口单元

SSIO 单元提供同时的双向的通讯。它包含一个发送通道、一个接收通道和一个指定的波特率发生器。发送和接收通道可分别独立工作（用不同的时钟）以提供非步调一致的全双工通讯；每个通道可产生时钟信号（主模式）或接受外部产生的时钟信号（从模式）。

SSIO 提供很多优点使操作简单方便。波特率发生器的最大时钟输入是 12.5MHz，SSIO 每秒可传输的波特率是 5Mb。两个通道共用一个波特率发生器和一个乘 2 的发送和接收时钟。SSIO 支持 16-位串行通讯，发送和接收功能可分别独立使能并由中断控制器控制中断输出。

4.8 并行 I/O 单元

专用 JFM80386EX 嵌入式处理器有 3 个 8-位通用 I/O 口。所有的端口管脚都是双向的，有 CMOS-级的输入和输出。所有的端口管脚都有 2 个标准的工作模式和一个外设模式（复用功能），而且都有与 I/O 地址空间相似的控制寄存器集。P1、P2 口提供 8mA 的驱动能力，而 P3 口提供 16mA 的驱动能力。

4.9 DMA 与总线仲裁单元

DMA 控制器是一个 2 通道 DMA；每一个通道都可独立工作。通道工作期间，可采用不同的数据传输模式。利用这些模式可以组合成不同的配置从而提供一个非常通用的 DMA 控制器。DMA 控制器在向下兼容 8237DMA 系列的同时，还增强了 DMA 的功能。每个通道可在内存和 I/O 的任意组合之间以 8 或 16 位的任意数据宽度组合来传输数据。一个内部暂存寄存器可以集合或分解数据，数据来自或要送到联合的或非联合的源或目的，从而优化了总线宽度。

作为 DMA 控制器的一部分，总线仲裁器的工作更像 DMA 的一个优先级判决电路。它接受来自 2 个 DMA 通道、外部总线控制者和 DRAM 刷新控制器的服务请求。总线仲裁器向核心请求总线所有权，并在获准总线控制权后，在已有的请求者中判决优先级问题。

每一个 DMA 通道都包含 3 个主要部分：请求者、目标和字节计数器。通过对正在进行 DMA 服务的存储器或 I/O 设备的可编程寄存器进行定义而确定这些部分。请求者是向 DMA 控制器提服务请求的设备。只有请求者能够开始和终止一个 DMA 过程。目标是请求者希望与之通讯的设备。对 DMA 过程而言，目标是不能控制过程的，只起随从的作用。字节计数器表示必须被传输的数据总量。

4.10 刷新控制单元

RCU 采用集成的地址和时钟计数器，简化了 DRAM 控制电路。芯片中集成了 RCU，因此外部 DRAM 控制器可以使用片选、等待状态逻辑、及状态线。RCU 包括：

- 。一个保持时间轨迹的间隔可编程的定时器
- 。为运行刷新周期而去获得总线控制的总线仲裁逻辑
- 。单独刷新 DRAM 行的行地址产生逻辑
- 。刷新周期开始逻辑

组成刷新地址的 13-位地址计数器支持最多可达 13 行存储器单元的 DRAM（13 位刷新地址）。涵盖了 DRAM 的 64MB 地址空间。

4.11 JTAG 测试逻辑单元

JTAG 测试逻辑单元（TLU）提供了对器件的各管脚及大量可测试单元的访问。完全符合 IEEE 1149.1 标准，并提供了 5 个专用管脚：TRST#、TCK、TMS、TDI 和 TDO。它包含测试访问端口（TAP）、有限状态机、一个 4-位指令寄存器、一个 32-位器件标识码寄存器及一个 1 位旁路寄存器。TLU 还包含一个为边界扫描链产生时钟和控制信号的必要逻辑电路。

由于 TLU 有自己的时钟和复位信号，所以它可以工作自治。因此，当处理器的其它部分在复位或掉电状态时，JTAG 单元可以读写不同的寄存器链。

5.0 设计注意

这一节描述了指令集、组成及修订标识符。

5.1 指令集

专用JFM80386EX嵌入式处理器与Intel386 SX微处理器指令集相同，但有以下例外：

- 。专用JFM80386EX嵌入式处理器有一条新指令：复原指令(RSM)。能使处理器退出系统管理模式。
 - 。专用JFM80386EX嵌入式处理器在执行某些指令时比Intel386 SX微处理器需要更多的时钟周期。
- 表6列出了这些指令及JFM80386EX微处理器的每条指令的时钟。

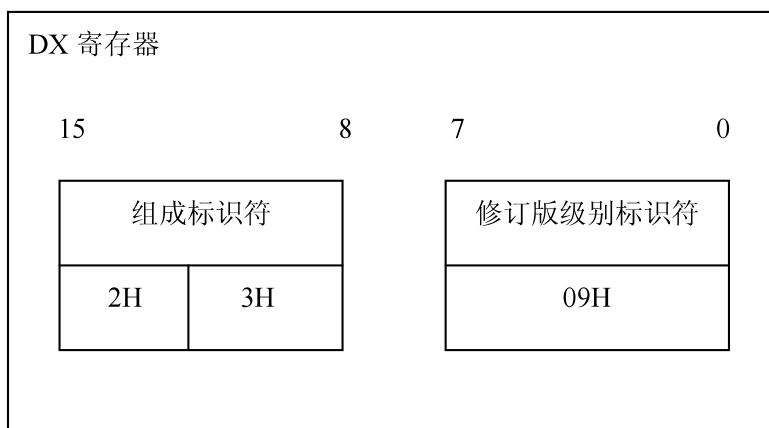
5.2 组成及修订版标识符

为了帮助用户，处理器在复位后的DX寄存器中放置了组成及修订版标识符。

。DX的高8位放置组成标识符。（低4位为3H，表示采用Intel386架构，高4位为2H，表示是Intel386微处理器系列的第2个成员）

。DX的低8位放置修订版标识符。

表3. 组成及修订标识符寄存器



5.3 封装热规范

专用JFM80386EX嵌入式处理器的指定芯片工作温度 T_{CASE} 范围是 $-55^{\circ}C$ 至 $+125^{\circ}C$ 。可在任意环境下测量 T_{CASE} 以确定处理器是否工作在指定温度范围。应在芯片正面的中央测量 T_{CASE} 。

周围环境温度 (T_A) 的升高将使器件温度 (T_{CASE}) 和连接点的温度 (T_J) 成比例地升高。封装的器件将在连接点和器件表面之间、连接点和周围环境之间分别产生热阻抗 θ_{JC} 和 θ_{JA} 。温度和热阻抗参数之间的关系公式如下 (P =热量为 $V_{CC} \times I_{CC}$ 时的功耗)：

1. $T_J = T_{CASE} + P \times \theta_{JC}$
2. $T_A = T_J - P \times \theta_{JA}$
3. $T_{CASE} = T_A + P \times [\theta_{JA} - \theta_{JC}]$

安全工作温度可采用最大的安全 T_{CASE} $125^{\circ}C$ 、设计中的芯片的最大功耗和表5、表6中的 θ_{JC} ，通过公式1算出。 θ_{JA} 的值由系统通风提供的气流情况决定。 θ_{JA} 的值只是个参考而未被保证。

表4. 168-管脚PGA封装热特性

参数	热阻——°C/W
θ_{JC} (连接点和器件表面之间)	3
θ_{JA} (连接点和外部环境之间)	22

备注：此表适用于插入插座中和直接焊到板上的PGA封装芯片。

表5. 164-管脚CQFP封装热特性

参数	热阻——°C/W
θ_{JC} (连接点和器件表面之间)	8.5
θ_{JA} (连接点和外部环境之间)	29.5

备注：此表适用于直接焊到板上的CQFP封装芯片。

表6. 每条指令的时钟

指令	时钟数		
	虚拟 8086 模式 (备注 1)	实模式或虚拟 8086 模式	保护模式
POPA		28	35
IN:			
固定端口	27	14	7/29
不定端口	28	15	8/29
OUT:			
固定端口	27	14	7/29
不定端口	28	15	9/29
INS	30	17	9/32
OUTS	31	18	10/33
REP INS	31+6 n(备注2)	17+6 n(备注2)	10+6 n/32+6 n(备注2)
REP OUTS	30+8 n(备注2)	16+8 n(备注2)	10+8 n/31+8 n(备注2)
HLT		7	7
MOV CRO, reg		10	10
RSM	338	338	338

备注:

1. 虚拟 8086 模式下, 栏中的时钟数适用于 I/O 许可允许端口输入输出。若 I/O 位映射不允许, 则产生异常错 13; 可查阅 Intel386™ SX 微处理器手册“指令集时钟数概要”中 INT 3 指令的时钟数。
2. n=重复次数。
3. 当列出两个时钟数时, 小的指寄存器操作数, 大的指存储器操作数。

6.0 直流特性

6.1 极限参数

绝对极限参数

存储温度	- 65° C -- +150° C
器件温度	- 55° C -- +125° C
V _{SS} 电压	- 0.5V -- 6.5V
其它管脚的电压	- 0.5V -- V _{CC} + 0.5V

警告： 必须强调超过绝对极限参数将对芯片造成永久性损坏。列出上述参数只是为了强调绝对极限参数。建议不要工作于“工作条件”以外，因为会影响芯片的可靠性。尽管专用 JFM80386EX 嵌入式处理器包含了避免静态放电所造成损害的保护电路，还是应该避免高的静态电压或电场。

6.2 工作条件

表 7. SE1 (QML)

符号	描述	最小	最大	单位
T _c	芯片温度	-55	+125	° C
V _{CC}	数字电压	4.75	5.25	V

表8. SE2 (QML)

符号	描述	最小	最大	单位
T _c	芯片温度	-40	+125	° C
V _{CC}	数字电压	4.75	5.25	V

表9. 直流特性

符号	参数	最小	最大	单位	测试条件
V _{IL}	输入低电压	- 0.5	0.3V _{CC}	V	
V _{IH}	输入高电压	0.7 V _{CC}	V _{CC} + 0.5V	V	
V _{OL}	输出低电压				V _{CC} = 4.75V--5.25V
	除端口3外所有管脚		0.40	V	I _{OL} = 8 mA
	端口3		0.40	V	I _{OL} = 16 mA
V _{OH}	输出高电压				V _{CC} = 4.75V -- 5.25V
	除端口3外所有管脚	V _{CC} - 0.8			I _{OH} = - 8 mA
	端口3	V _{CC} - 0.8			I _{OH} = - 16 mA
I _{LI}	输入漏电流		± 15	μA	0 ≤ V _{IN} ≤ V _{CC}
I _{LO}	输出漏电流		± 15	μA	0.45V ≤ V _{OUT} ≤ V _{CC}
I _{CC}	输入电路		250	mA	25 MHz, 5.25V 备注 1
I _{IDLE}	IDLE电流		85	mA	25 MHz, 5.25V
I _{PD}	POWERDOWN电流		100	μA	
C _S	管脚电容（所有管脚相对于V _{SS} ）		10	pF	

备注： 上述参数在芯片工作在复位模式时测量。

7.0 交流特性

表10列出了输出延迟、输入建立必要条件、及输入保持必要条件。所有交流特性都相对于CLK2上升沿的 $V_{cc}/2$ 电平。

图4表示交流特性的测量点。测量交流特性时输入必须有足够的驱动电压。输出延迟指定在最小和最大范围之间。最小延迟时间是提供给外部电路的保持时间。定义了最小可接收采样窗口，输入建立及保持时间指定为最小值。为了使工作正确，采样窗口期间同步输入信号必须是稳定的。

ADS#、W/R#、CS5:0#、UCS#、D/C#、M/I0#、LOCK#、BHE#、BLE#、REFRESH#/CS6#、READY#、LBA#、A25:1、HLDA和SMIACT#等输出信号只在相位1的起始处变化。D15:0(写周期)与PWRDOWN只在相位2的起始处变化。RD# 和WR#相位2的起始处变为有效状态，在相位1的起始处变为无效状态(周期结束)。

READY#、HOLD、BUSY#、ERROR#、PEREQ、BS8#和D15:0(读周期)等输入信号在相位1的起始处被采样。NA#、SMI#、NMI等输入信号在相位2的起始处被采样。

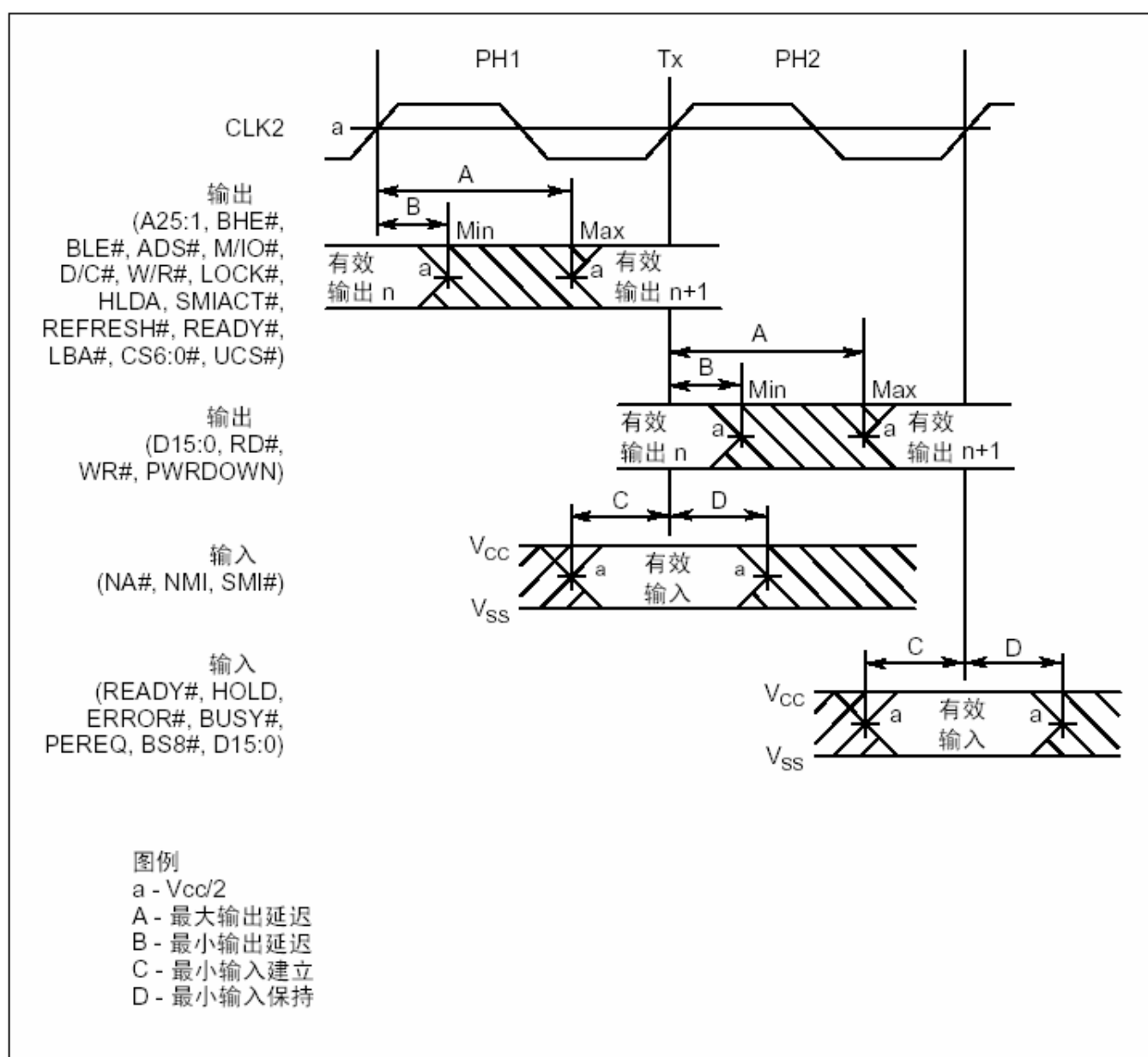


图4. 交流规范的驱动器级别和测量点

表10. 交流特性 (5-1)

符号	参数	25MHz 4.75V~5.25V		测试条件
		Min. (ns)	Max. (ns)	
	工作频率	0	25	CLK2/2 频率 (MHz) (备注 1)
t1	CLK2 周期	20		
t2a	CLK2 高电平时间	7		在 Vcc/2 (备注 2)
t2b	CLK2 高电平时间	4		高电平在VCC - 0.8V 低电平在VCC - 0.6V (备注2)
t3a	CLK2 低电平时间	7		在 Vcc/2 (备注 2)
t3b	CLK2 低电平时间	5		在 0.8V (备注 2)
t4	CLK2 下降沿时间		7	高电平为VCC - 0.8V~0.8V 低电平为VCC - 0.6V~0.8V (备注 2)
t5	CLK2 上升沿时间		7	高电平为0.8V ~VCC-0.8V 低电平为0.8V ~VCC-0.6V (备注2)
t6	A25:1 有效延迟	4	29	CL = 50 pF (备注 3)
t7	A25:1 浮空延迟	4	36	(备注 4)
t8	BHE#, BLE#, LOCK#有效延迟	4	29	CL = 50 pF (备注3)
t8a	SMACT#有效延迟	4	29	CL = 50 pF (备注 3)
t9	BHE#, BLE#, LOCK#浮空延迟	4	30	(备注 4)
t10	M/IO#, D/C#, W/R#, ADS#, REFRESH#有效延迟	4	29	CL = 50 pF (备注 3)
t10a	RD#, WR#有效延迟	4	29	

备注:

1. 在最大工作频率测试, 更低工作频率由设计描述来保证.
2. 未测试. 由设计描述来保证.
3. 测试时 CL 设为 50 pF. 定时由 CL 设为 75 pF 来保证.
4. 浮空的产生条件是最大输出电流值小于 ILO. 浮空延迟未完全测试.
5. 这些输入可能与 CLK2 异步. 测试目的的建立和保持规范是为了确保在一个特定 CLK2 周期内的识别.
6. 这些规范只是列出而未测试. 旨在帮助设计者选择存储器的速度. 设计中的每个等待周期要比规范增加2个 CLK2周期.

表10. 交流特性 (5-2)

符号	参数	25MHz 4.75V~5.25V		测试条件
		Min. (ns)	Max. (ns)	
t11	M/IO#, D/C#, W/R#, REFRESH#, ADS# 浮空延迟	4	39	(备注 4)
t12	D15:0 写数据有效延迟	4	28	CL = 50 pF (备注 3)
t13	D15:0 写数据浮空延迟	4	24	(备注 4)
t14	HLDA 有效延迟	4	27	CL = 50 pF (备注 3)
t15	NA# 建立时间	5		
t16	NA# 保持时间	10		
t19	READY# 建立时间	9		
t19a	BS8#建立时间	11		
t20	READY#, BS8# 保持时间	4		
t21	D15:0 读 建立时间	5		
t22	D15:0 读 保持时间	5		
t23	HOLD 建立时间	9		
t24	HOLD 保持时间	5		
t25	RESET 建立时间	8		
t26	RESET 保持时间	4		
t27	NMI 建立时间	12		(备注 5)
t27a	SMI# 建立时间	12		(备注 5)
t28	NMI 保持时间	6		(备注 5)
t28a	SMI# 保持时间	6		(备注 5)
t29	PEREQ, ERROR#, BUSY# 建立时间	6		(备注 5)
t30	PEREQ, ERROR#, BUSY# 保持时间	6		(备注 5)
t31	READY# 有效延迟	4	32	
t32	READY# 浮空延迟	4	34	

备注:

1. 在最大工作频率测试, 更低工作频率由设计描述来保证.
2. 未测试. 由设计描述来保证.
3. 测试时 CL 设为 50 pF. 定时由 CL 设为 75 pF 来保证.
4. 浮空的产生条件是最大输出电流值小于 ILO. 浮空延迟未完全测试.
5. 这些输入可能与 CLK2 异步. 测试目的的建立和保持规范是为了确保在一个特定 CLK2 周期内的识别.
6. 这些规范只是列出而未测试. 旨在帮助设计者选择存储器的速度. 设计中的每个等待周期要比规范增加2个 CLK2周期.

表10. 交流特性 (5-3)

符号	参数	25MHz 4.75V~5.25V		测试条件
		Min. (ns)	Max. (ns)	
t33	LBA#有效延迟	4	32	
t34	CS6:0#, UCS#有效延迟	7	32	
t41	A25:1, BHE#,BLE#有效至 WR#变低	0		
t41a	CS6:0#, UCS#有效至 WR#变低	0		
t42	WR#变高后, A25:1, BHE#,BLE#保持	5		
t42a	WR#变高后, CS6:0#, UCS#保持	5		
t43	D 15:0 输出有效至 WR#变高	3CLK2-27		(备注 6)
t44	WR#变高后, D 15:0输出保持	CLK2-10		
t45	WR#变高至 D 15:0 浮空		CLK2+10	(备注 4)
t46	WR#脉宽	3CLK2-15		
t47	A25:1, BHE#,BLE#有效至 D 15:0 有效		4CLK2-36	(备注 6)
t47a	UCS#,CS6:0 有效至 D 15:0 有效		4CLK2-46	(备注6)
t48	RD#变低至 D 15:0 输入有效		3CLK2-36	(备注 6)
t49	RD#高后, D 15:0 保持	2		
t50	RD#变高至 D15:0 浮空		10	(备注 4)
t51	RD# 变高后, A25:1,BHE#,BLE#保持	0		
t51a	RD#变高后, UCS#,CS6:0 保持	0		
t52	RD#脉宽	3CLK2-15		

备注:

1. 在最大工作频率测试, 更低工作频率由设计描述来保证.
2. 未测试. 由设计描述来保证.
3. 测试时 CL 设为 50 pF. 定时由 CL 设为 75 pF 来保证.
4. 浮空的产生条件是最大输出电流值小于 ILO. 浮空延迟未完全测试.
5. 这些输入可能与 CLK2 异步. 测试目的的建立和保持规范是为了确保在一个特定 CLK2 周期内的识别.
6. 这些规范只是列出而未测试. 旨在帮助设计者选择存储器的速度. 设计中的每个等待周期要比规范增加2个 CLK2周期.

表10. 交流特性 (5-4)

符号	参数	25MHz 4.75V~5.25V		测试条件
		Min. (ns)	Max. (ns)	
同步串行 I/O(SSIO)单元				
t100	STXCLK, SRXCLK 频率 (主模式)		CLK2/8	(单位是 MHz)
t101	STXCLK, SRXCLK (从模式)		CLK2/4	(单位是 MHz; CLK2/4 或 6.25 MHz, 取小者)
t102	STXCLK, SRXCLK 低电平时间	3CLK2/2		
t103	STXCLK, SRXCLK 高电平时间	3CLK2/2		
t104	STXCLK 变低至 SSIOTX 延迟		10	
t105	SSIORX 至 SRXCLK 变高建立时间	10		
t106	SSIORX from SRXCLK Hold Time	10		
定时器控制单元 (TCU) 输入				
t107	TMRCLKn 频率		8	(单位是 MHz)
t108	TMRCLKn 低电平	60		
t109	TMRCLKn 高电平	60		
t110	TMRGATEn 高电平宽度	50		
t111	TMRGATEn 低电平宽度	50		
t112	TMRGATEn 至 TMRCLK 建立时间 (仅对于外部 TMRCLK)	10		
定时器控制单元 (TCU) 输出				
t113	TMRGATEn 变低至 TMROUT 有效		36	
t114	TMRCLKn 变低至 TMROUT 有效		36	
中断控制单元 (ICU) 输入				
t115	D7:0 建立时间 (INTA#周期 2)	7		
t116	D7:0 保持时间 (INTA#周期 2)	5		

备注:

1. 在最大工作频率测试, 更低工作频率由设计描述来保证.
2. 未测试. 由设计描述来保证.
3. 测试时 CL 设为 50 pF. 定时由 CL 设为 75 pF 来保证.
4. 浮空的产生条件是最大输出电流值小于 ILO. 浮空延迟未完全测试.
5. 这些输入可能与 CLK2 异步. 测试目的的建立和保持规范是为了确保在一个特定 CLK2 周期内的识别.
6. 这些规范只是列出而未测试. 旨在帮助设计者选择存储器的速度. 设计中的每个等待周期要比规范增加2个 CLK2周期.

表10. 交流特性 (5-5)

符号	参数	25MHz 4.75V~5.25V		测试条件
		Min. (ns)	Max. (ns)	
中断控制单元 (ICU) 输出				
t117	CLK2 变高至 CAS2:0 有效		34	
DMA 单元 输入				
t118	DREQ 建立时间 (同步模式)	17		
t119	DREQ 保持时间 (同步模式)	4		
t120	DREQ 建立时间 (异步模式)	10		
t121	DREQ 保持时间 (异步模式)	10		
t122	EOP#建立时间 (同步模式)	13		
t123	EOP#保持时间 (同步模式)	4		
t124	EOP#建立时间 (异步模式)	10		
t125	EOP#保持时间 (异步模式)	11		
DMA 单元输出				
t126	DACK#输出有效延迟	4	29	
t127	EOP#主动延迟	4	30	
t128	EOP#浮空延迟	4	33	(备注 4)
JTAG 测试逻辑单元				
t129	TCK 频率		10	(单位是 MHz)

备注:

1. 在最大工作频率测试, 更低工作频率由设计描述来保证.
2. 未测试. 由设计描述来保证.
3. 测试时 CL 设为 50 pF. 定时由 CL 设为 75 pF 来保证.
4. 浮空的产生条件是最大输出电流值小于 ILO. 浮空延迟未完全测试.
5. 这些输入可能与 CLK2 异步. 测试目的的建立和保持规范是为了确保在一个特定 CLK2 周期内的识别.
6. 这些规范只是列出而未测试. 旨在帮助设计者选择存储器的速度. 设计中的每个等待周期要比规范增加2个 CLK2周期.

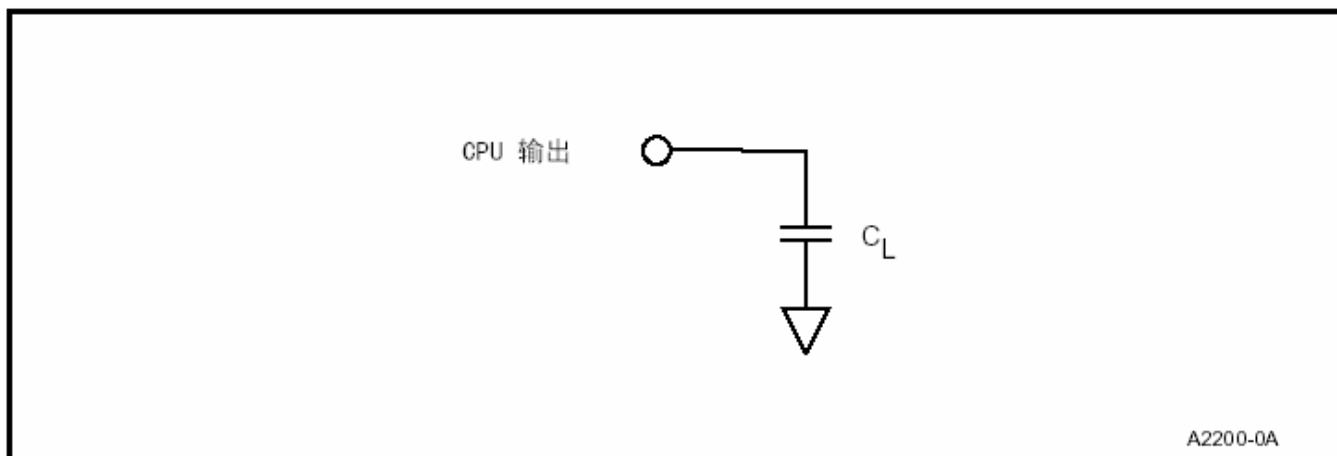


图 5. 交流测试负载

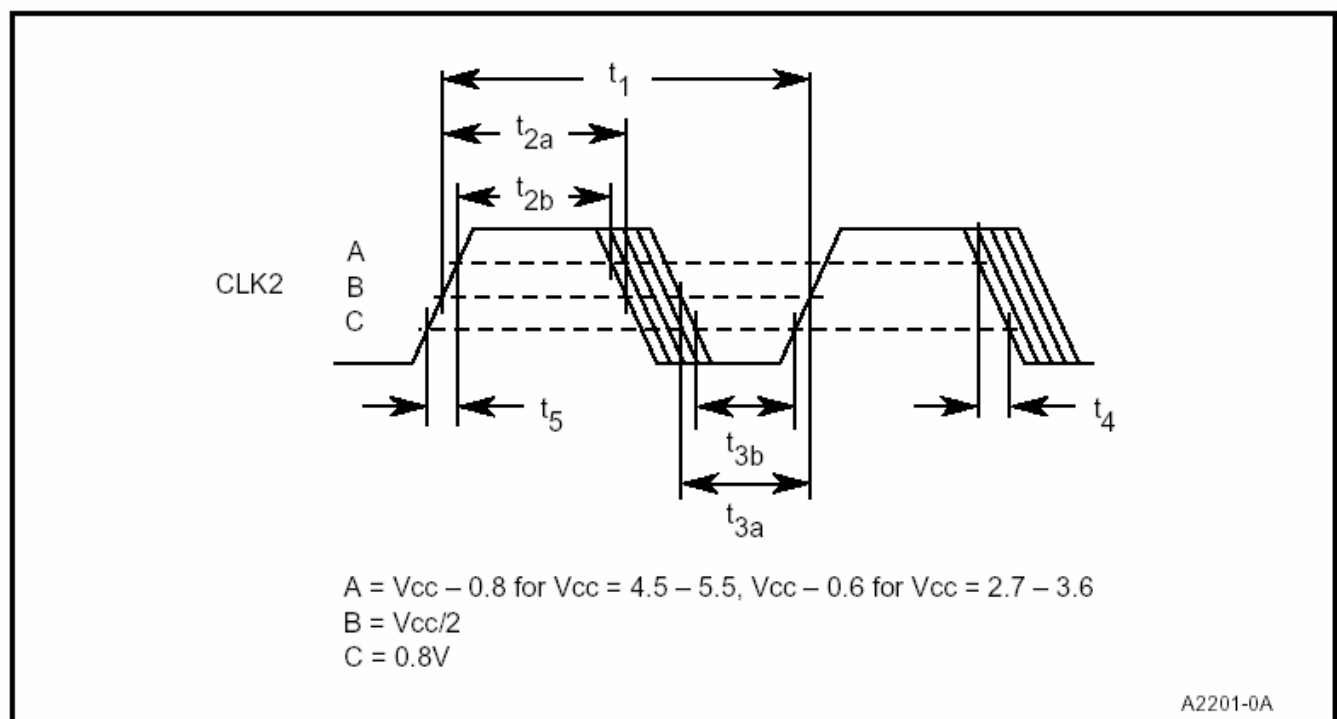


图 6. CLK2 波形

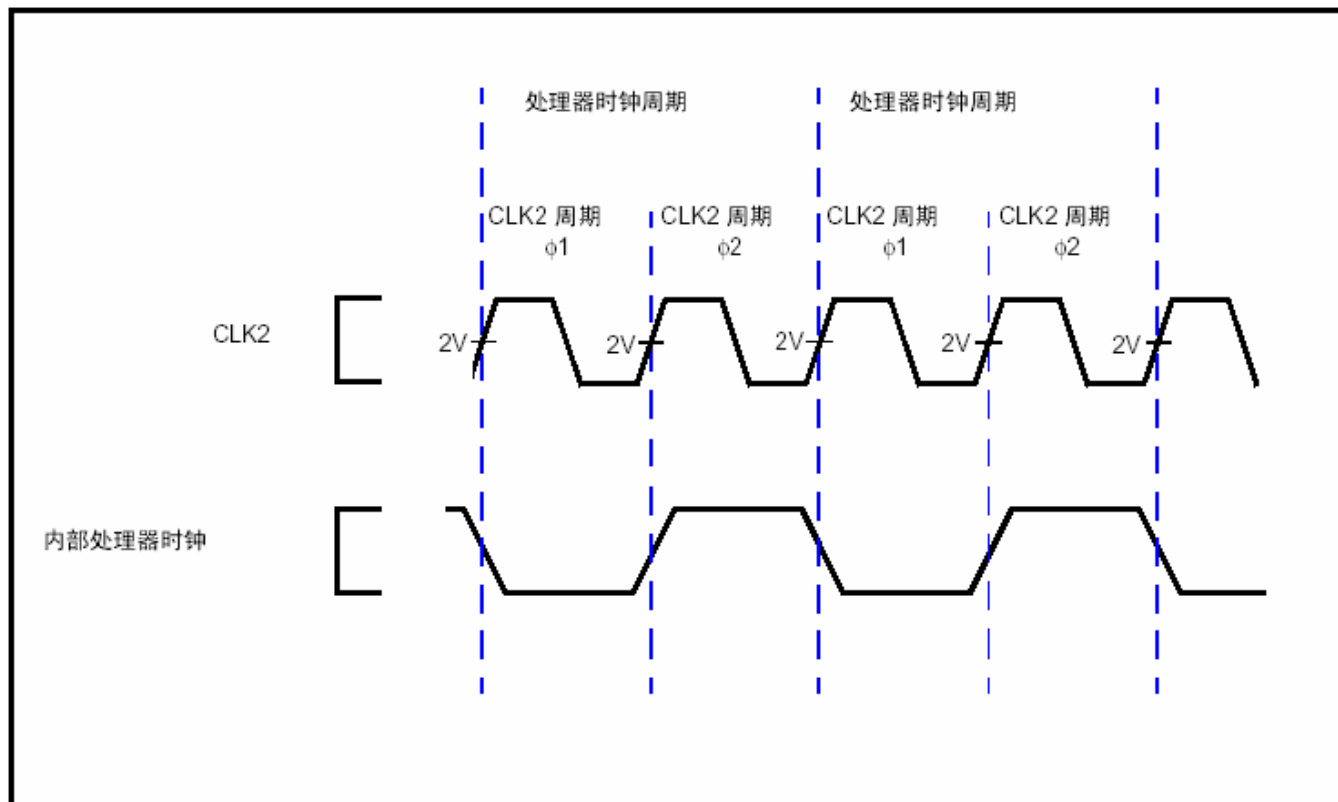
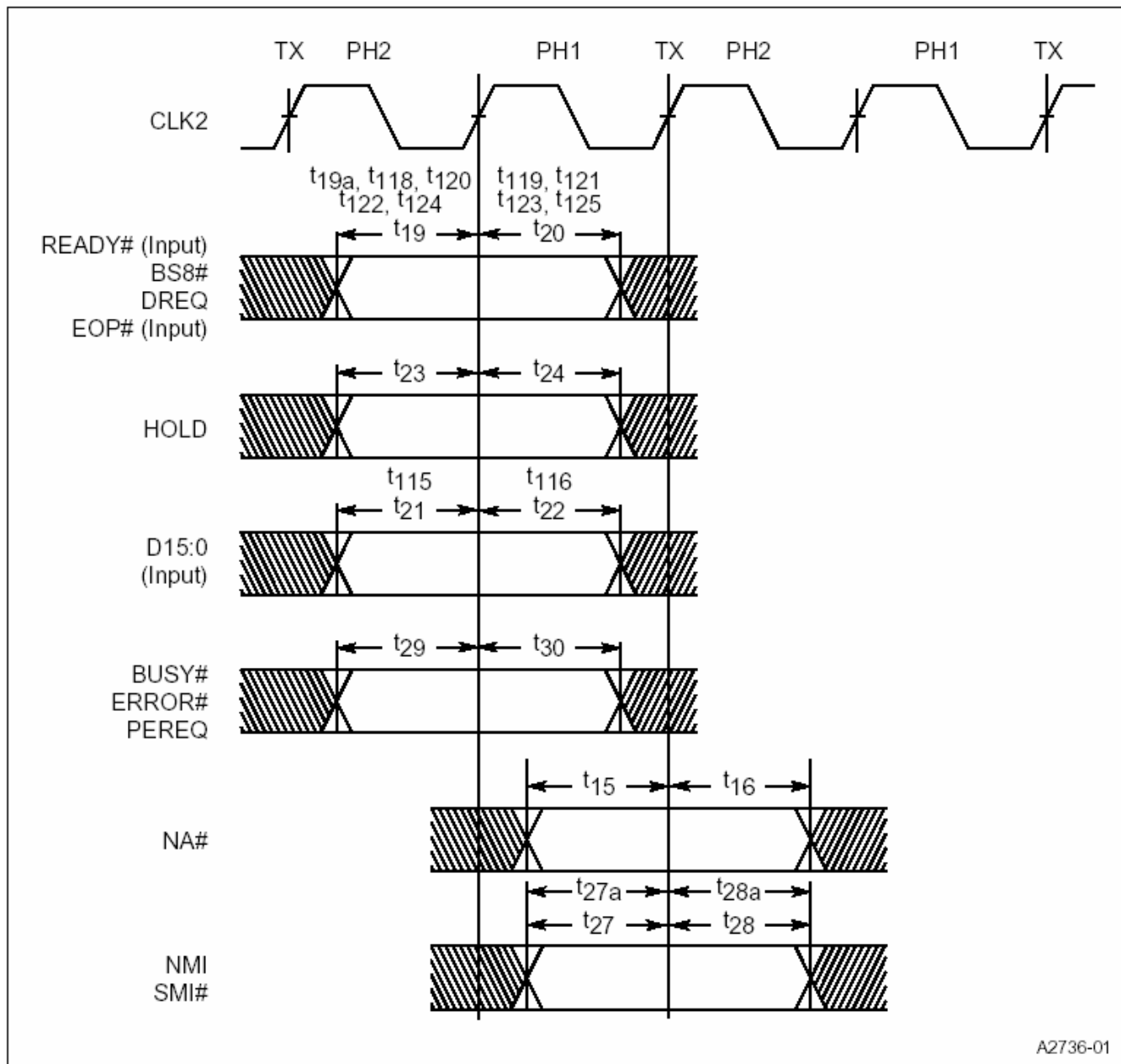


图 7. CLK2 信号及内部处理器时钟



A2736-01

图 8. 交流定时波形——输入建立和保持定时

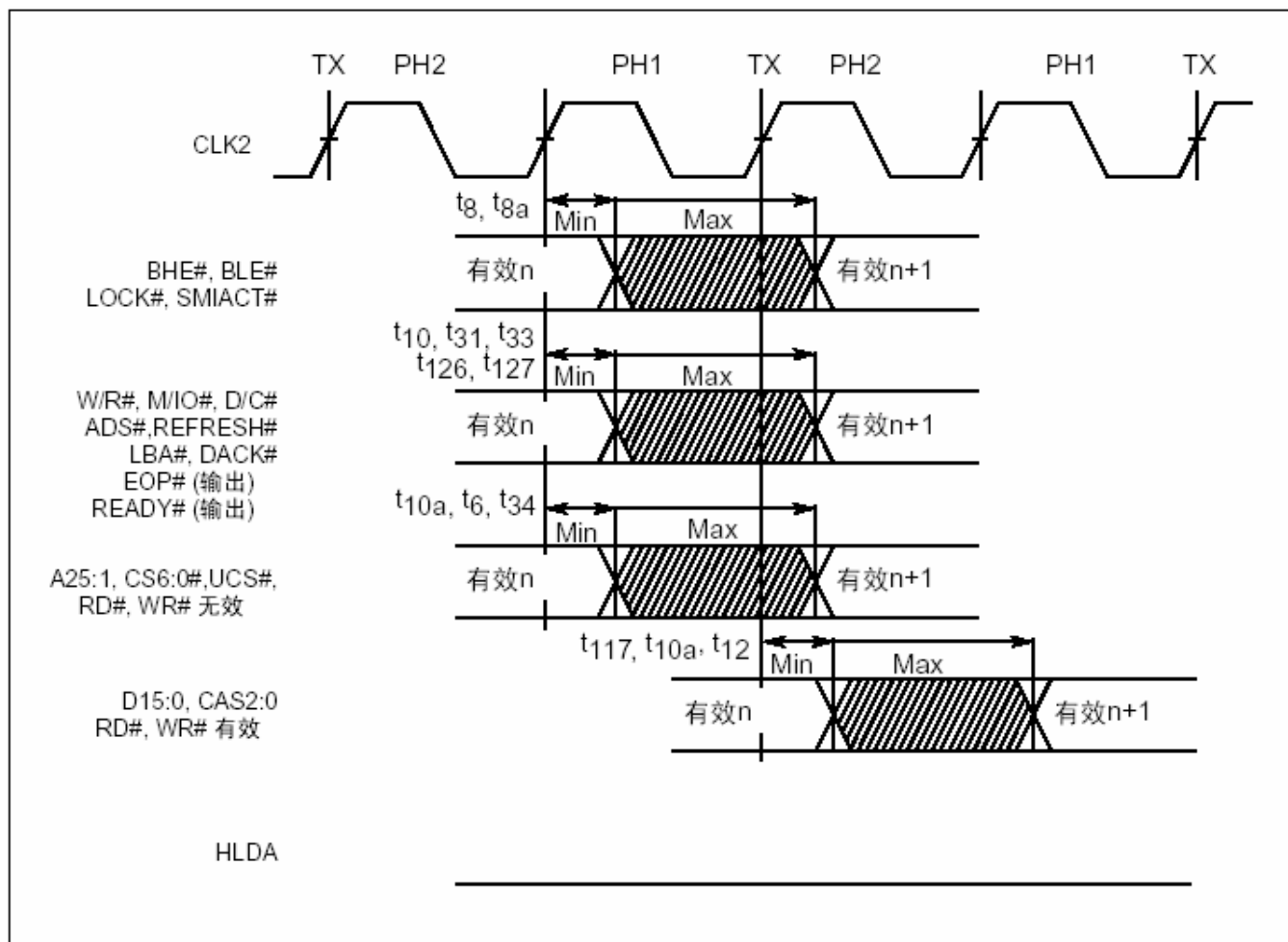


图 9. 交流定时波形——输出有效延迟定时

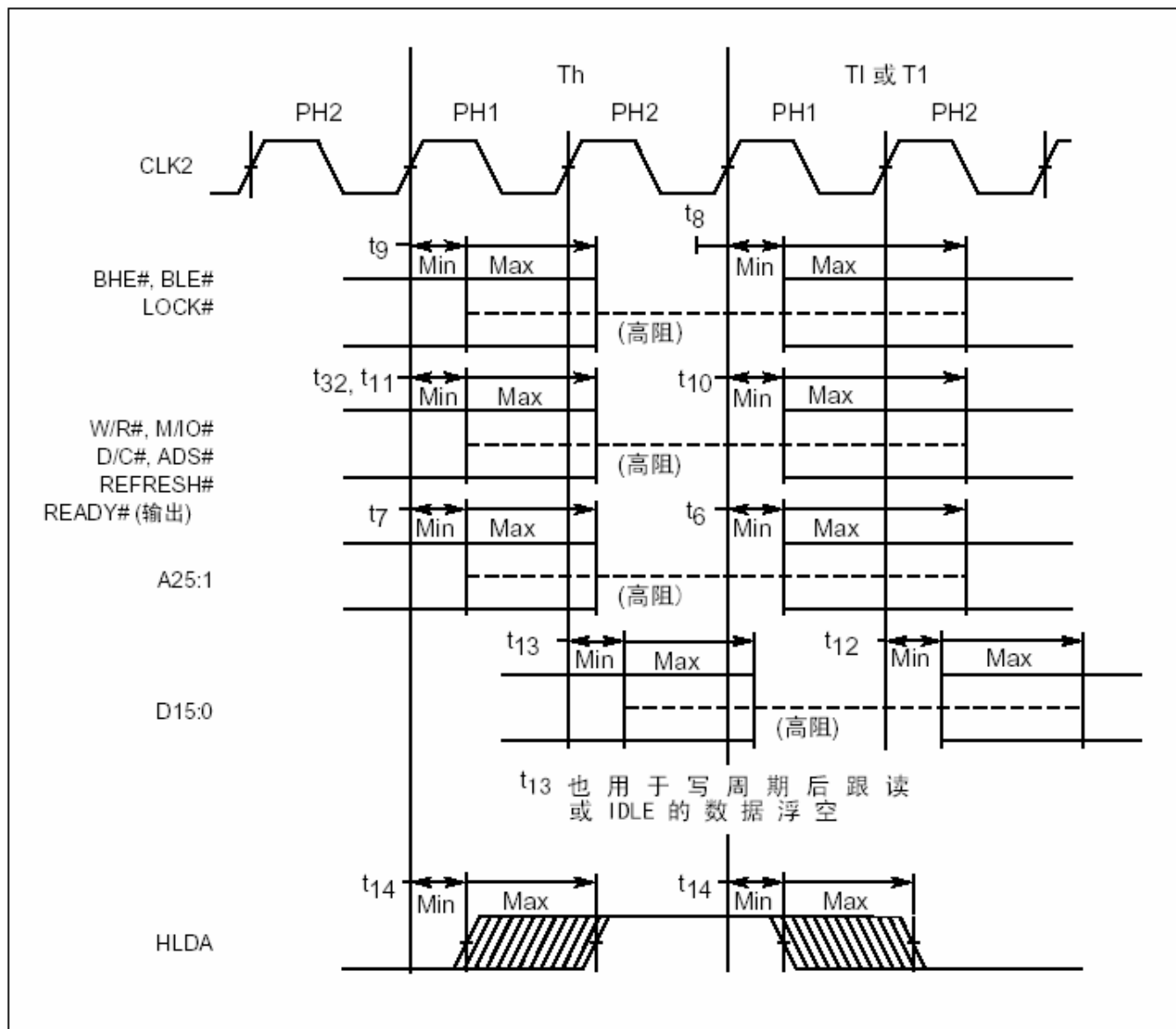


图 10. 交流定时波形——输出浮空延迟及 HLDA 有效延迟定时

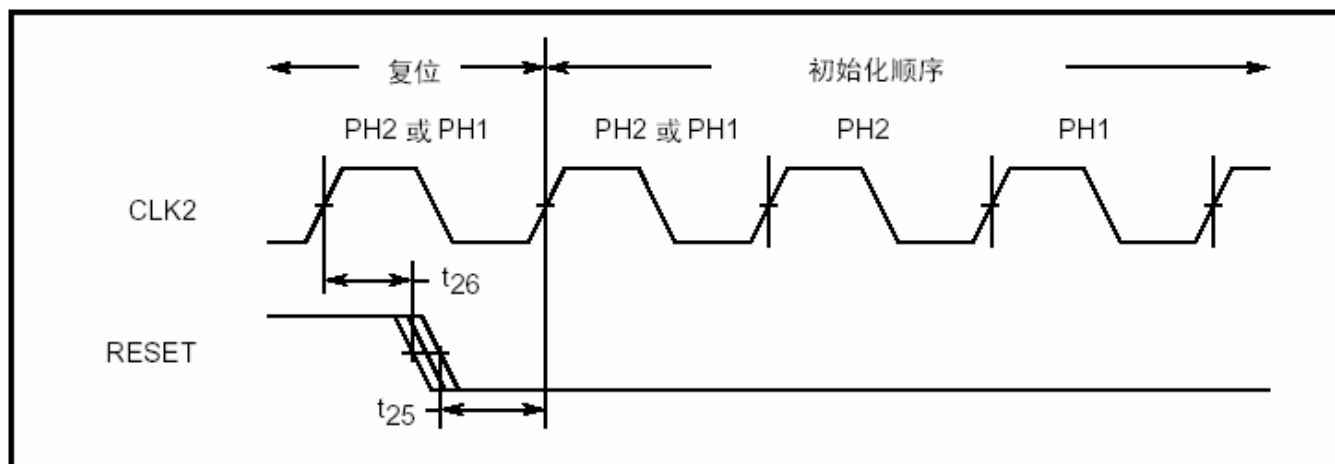


图 11. 交流定时波形——复位建立及 Hold 定时和内部相位

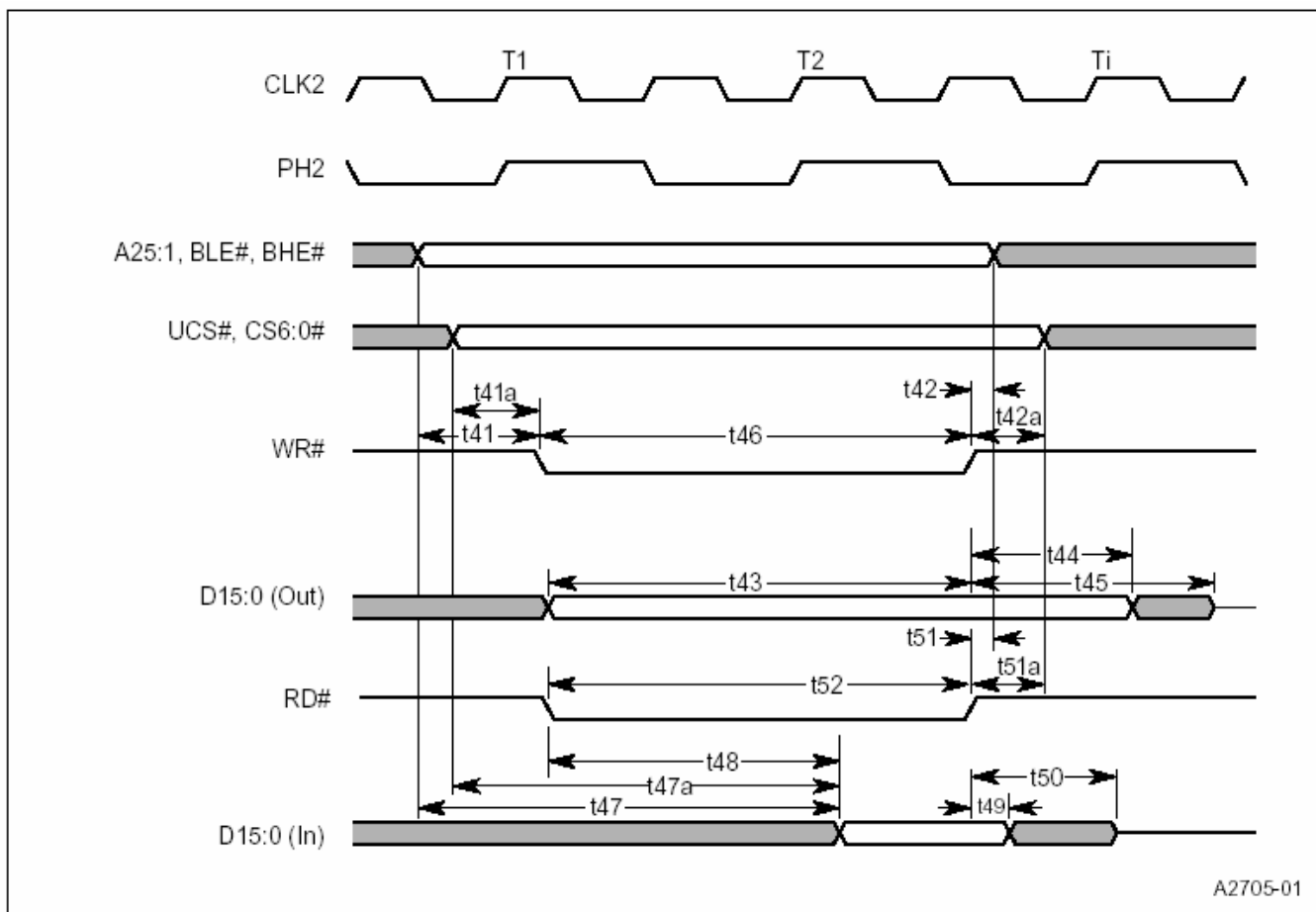


图 12. 交流定时波形——相对信号定时

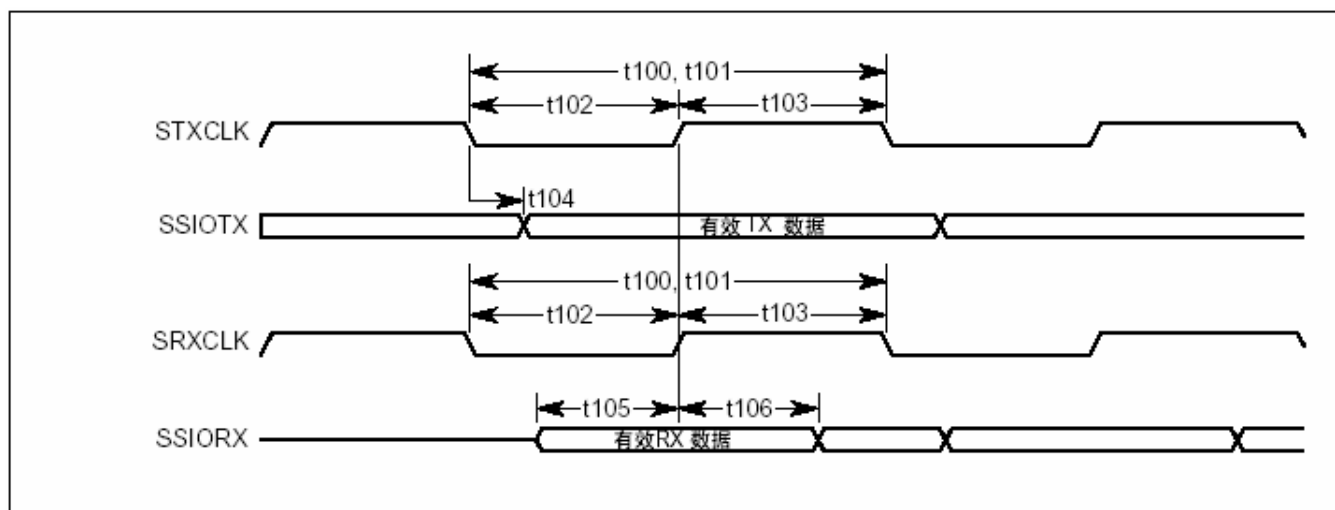


图 13. 交流定时波形——SSIO 定时

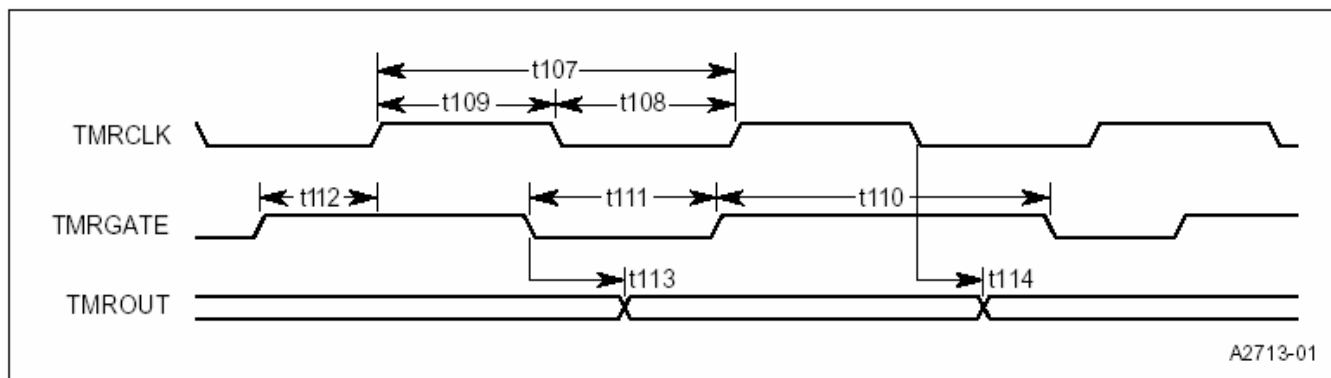


图 14. 交流定时波形——定时器/计数器定时

8.0 总线周期波形

图15到24给出了处理器产生的各种总线周期。图中是各种总线信号与CLK2的关系。这些图和交流特性参数使用户能够对已知应用进行临界定时分析。

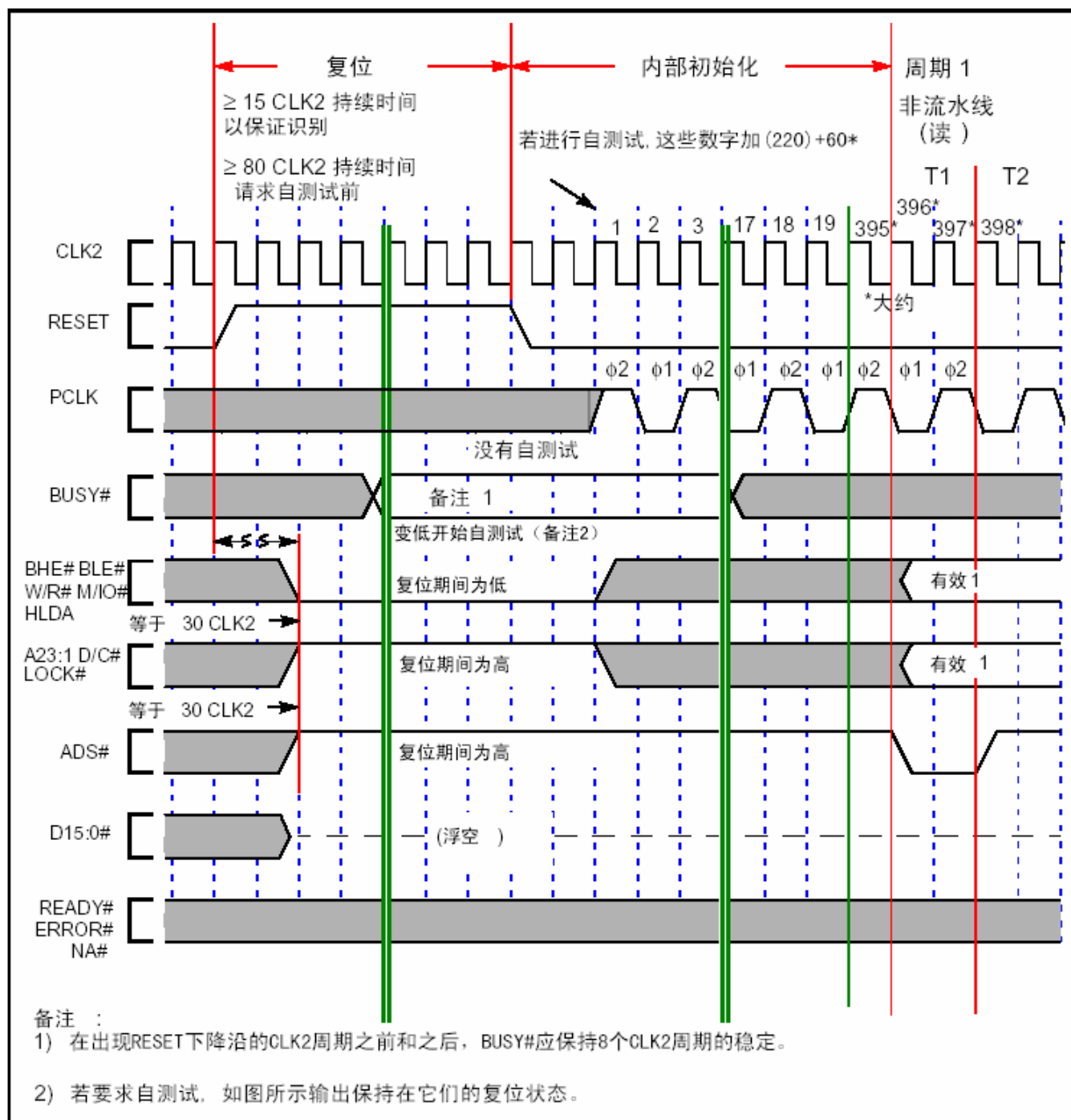


图15. 从复位到第一次取值的总线操作

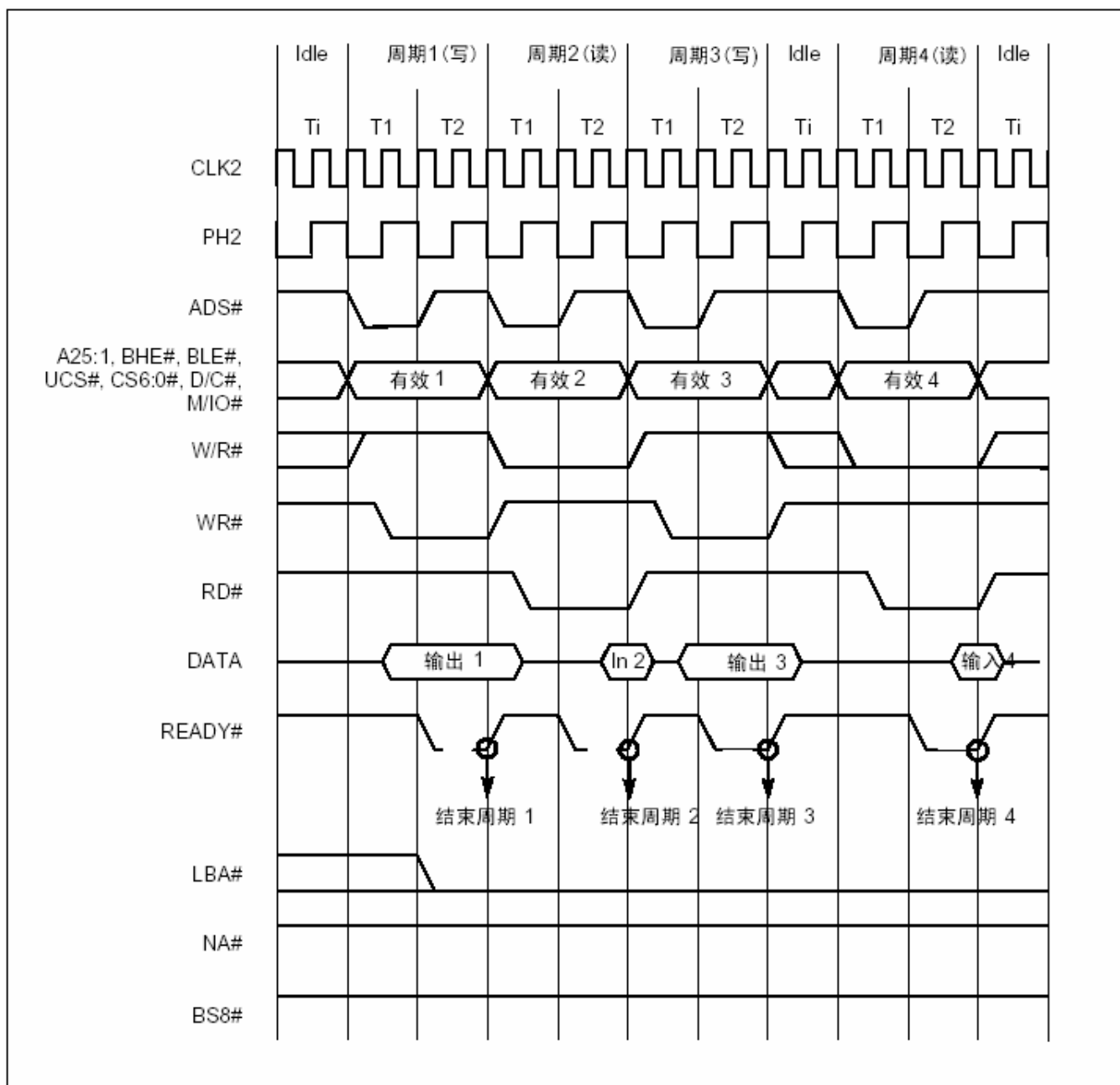


图 16. 局部总线读写周期（零等待状态）

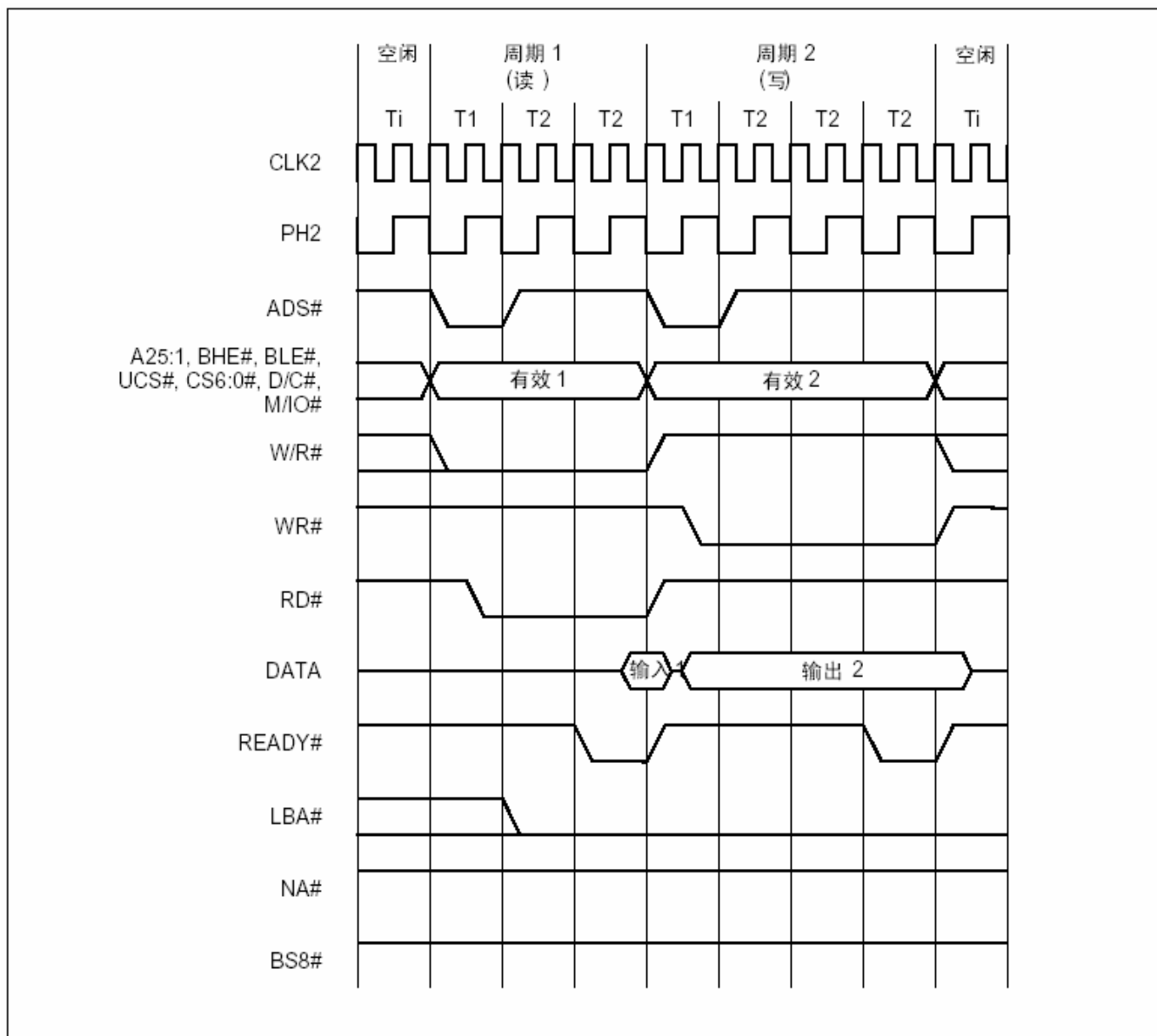


图17. 局部总线读写周期（有等待状态）

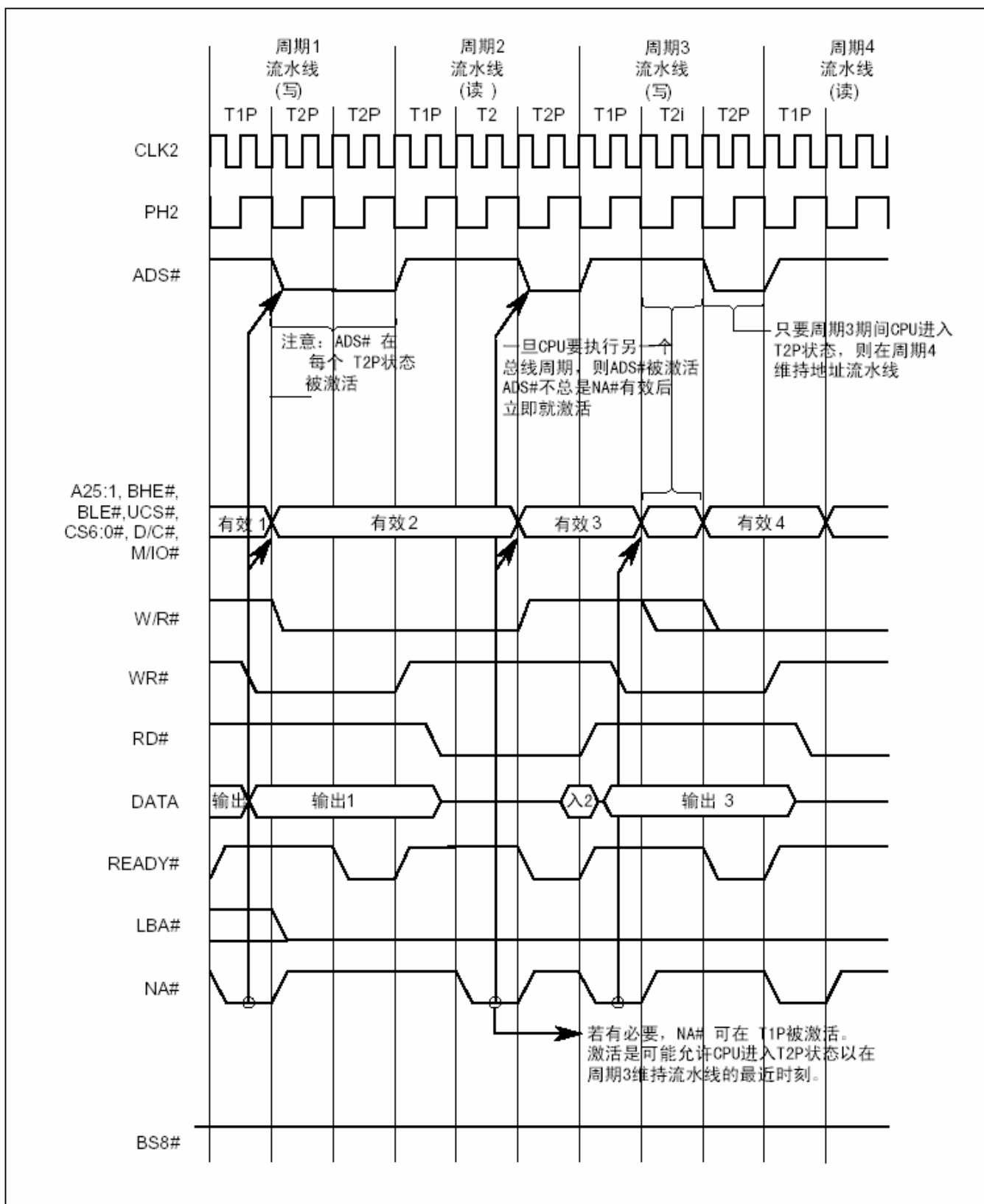


图 18. 流水线局部总线读写周期 (有等待状态)

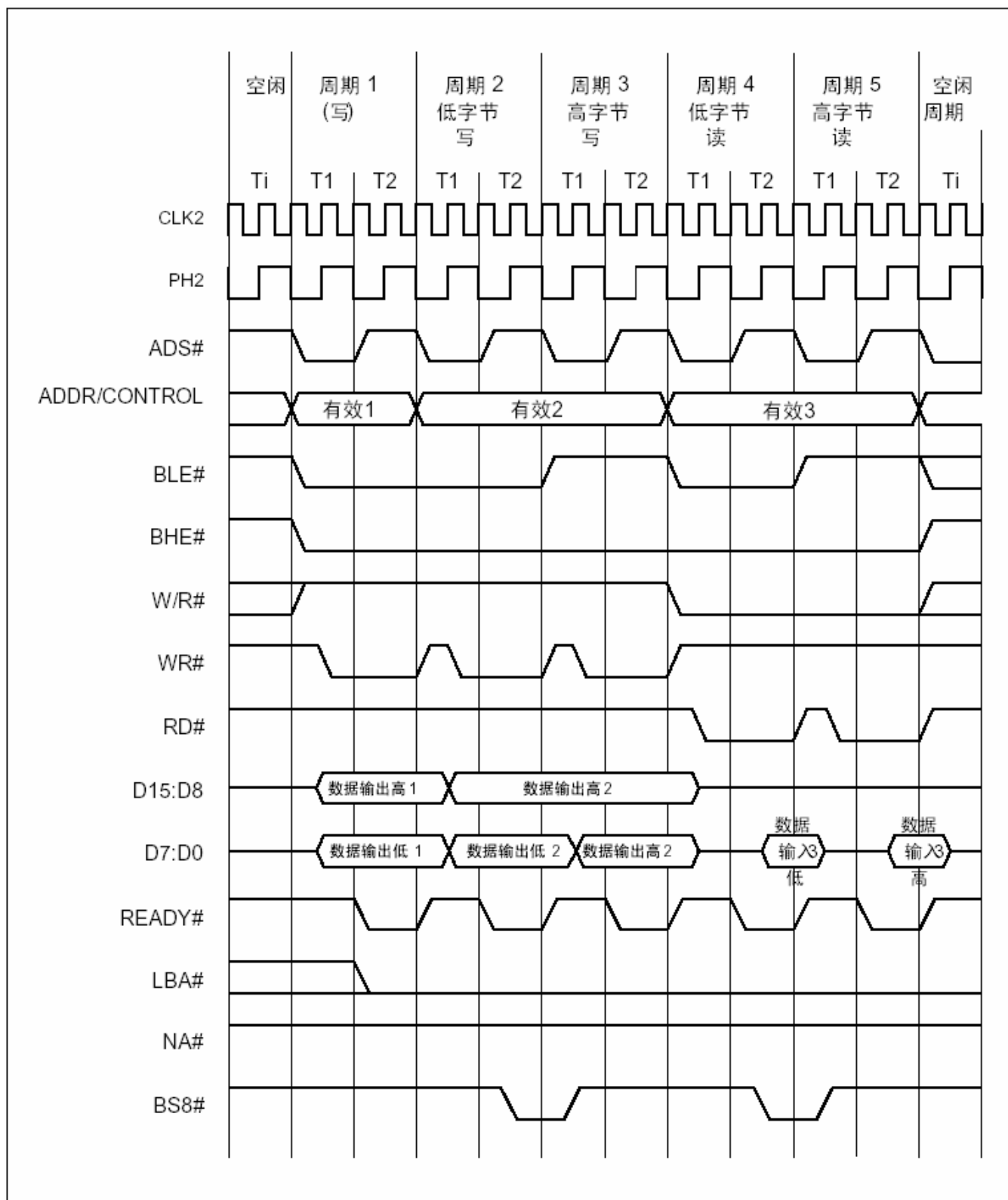


图 19. 局部总线读写 BS8#周期

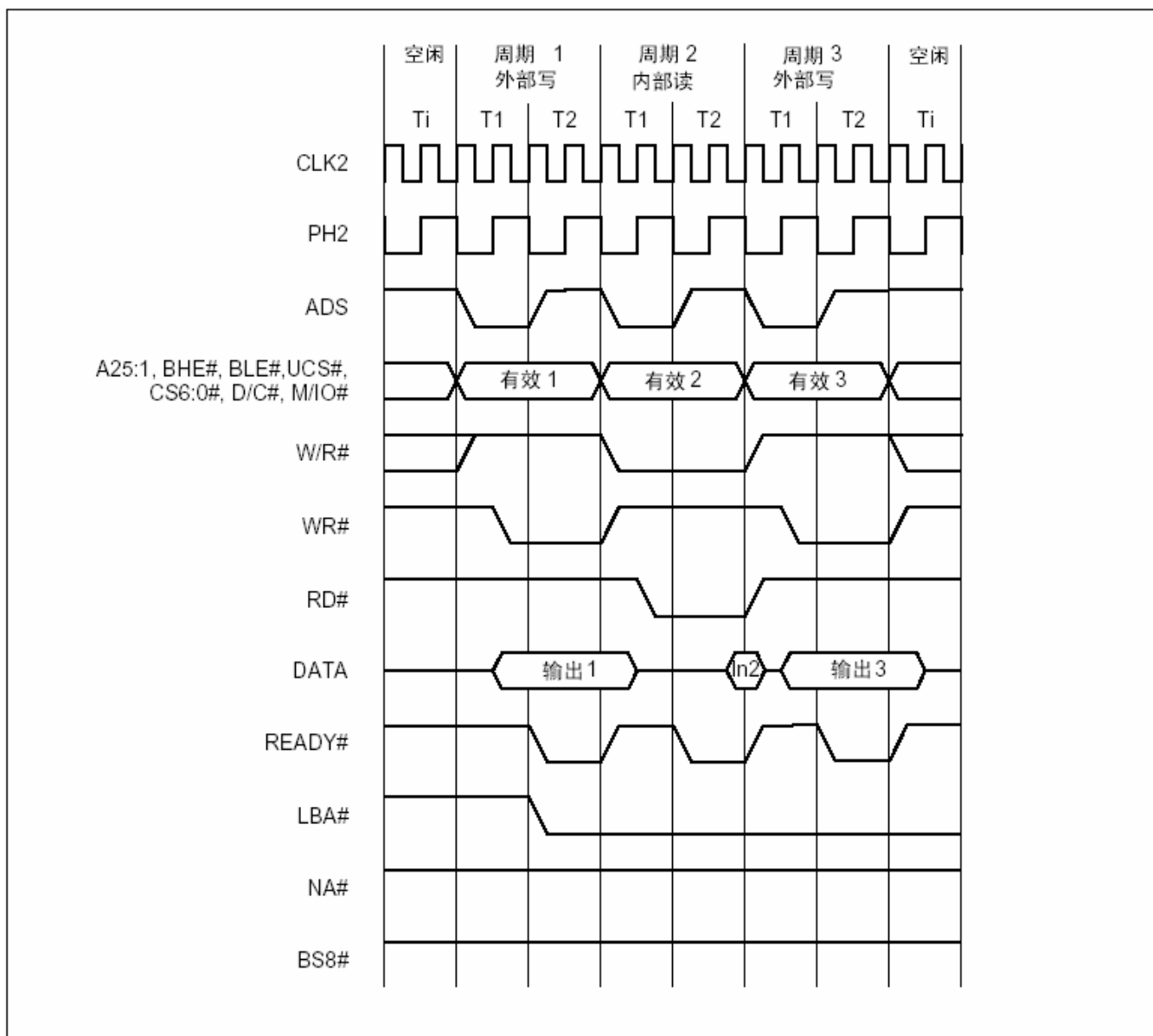


图 20. 局部总线读写周期（内部及外部）

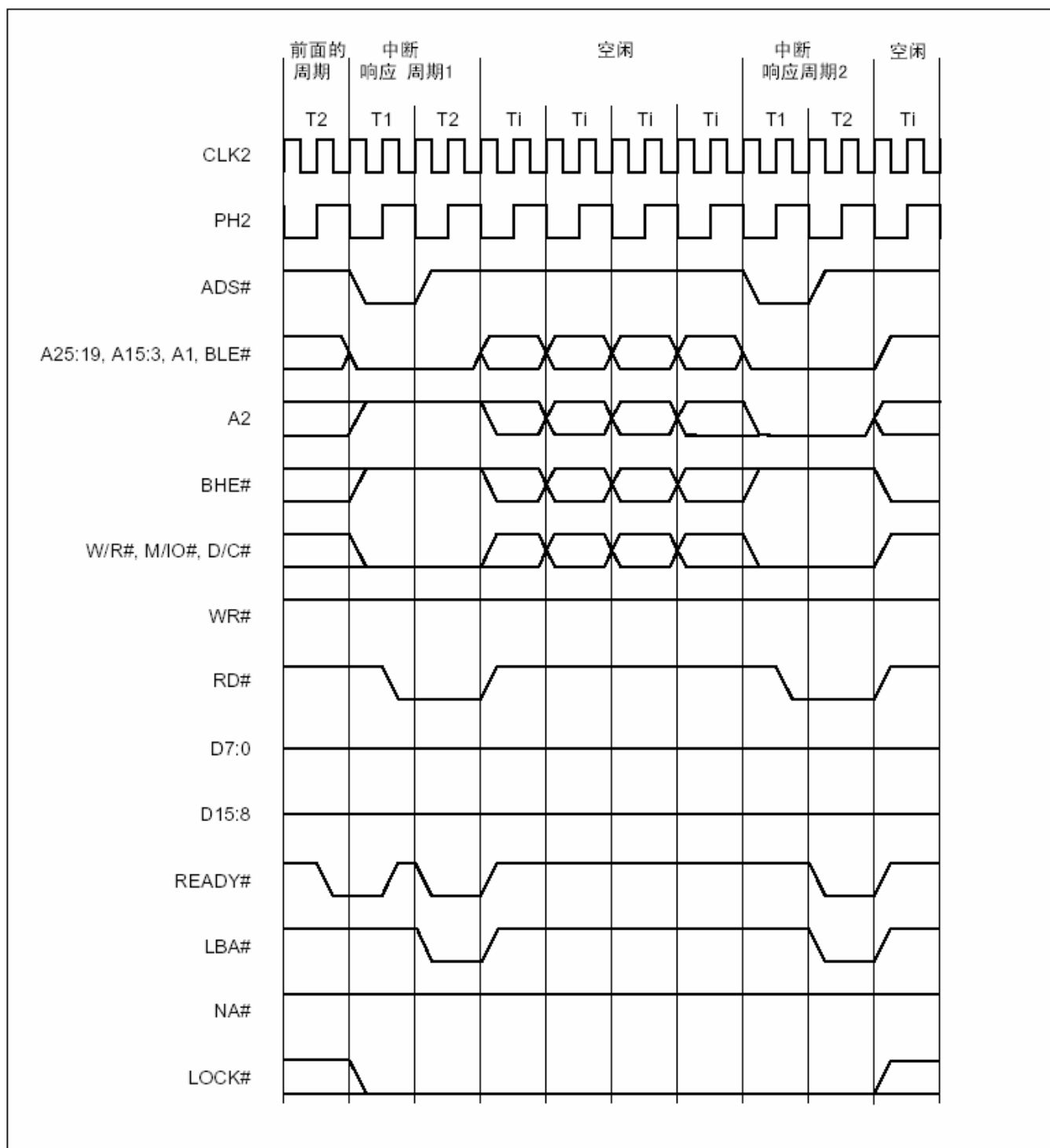


图 21. 局部总线中断响应周期（内部级联）

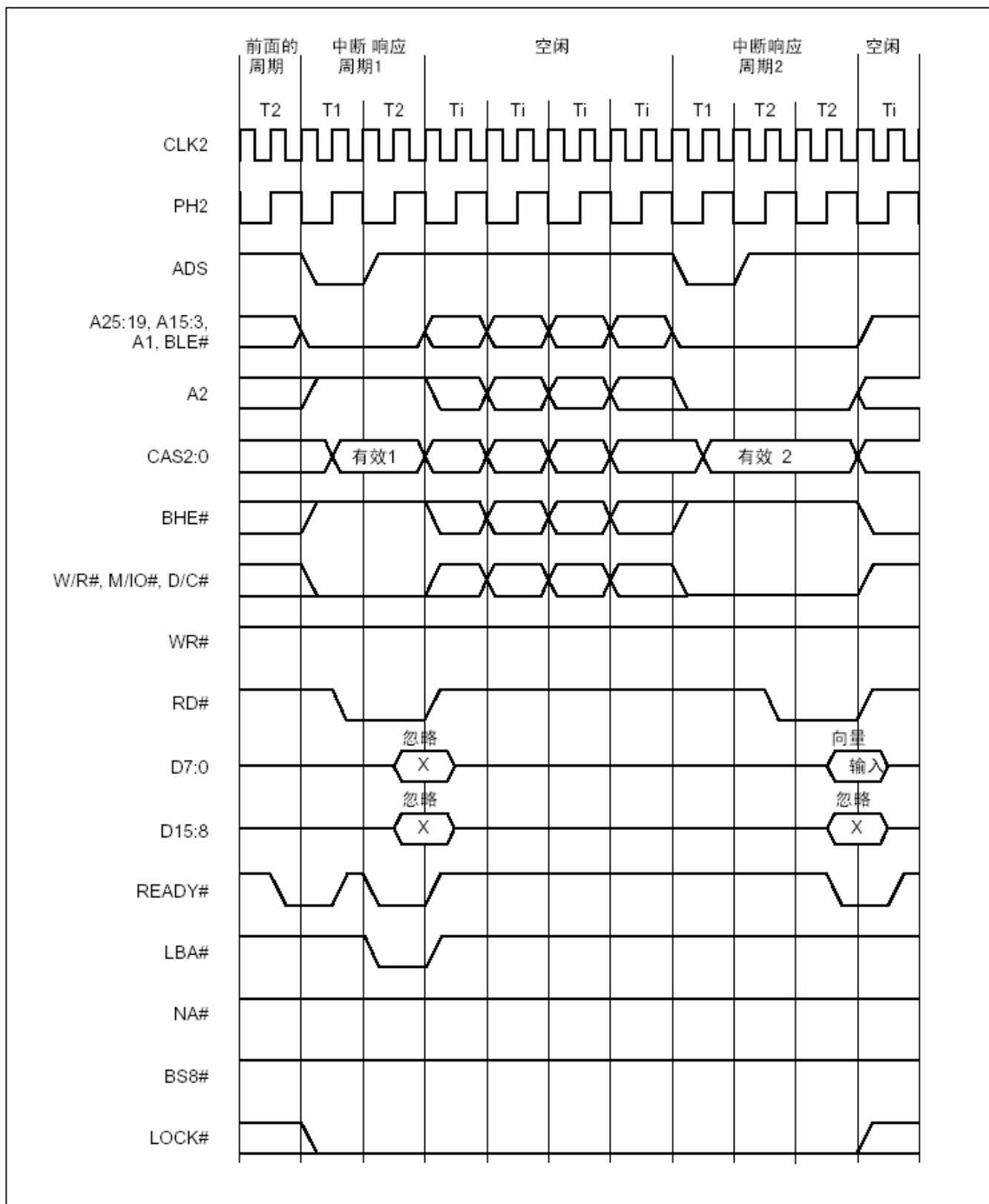


图 22. 局部总线中断响应周期（外部级联）

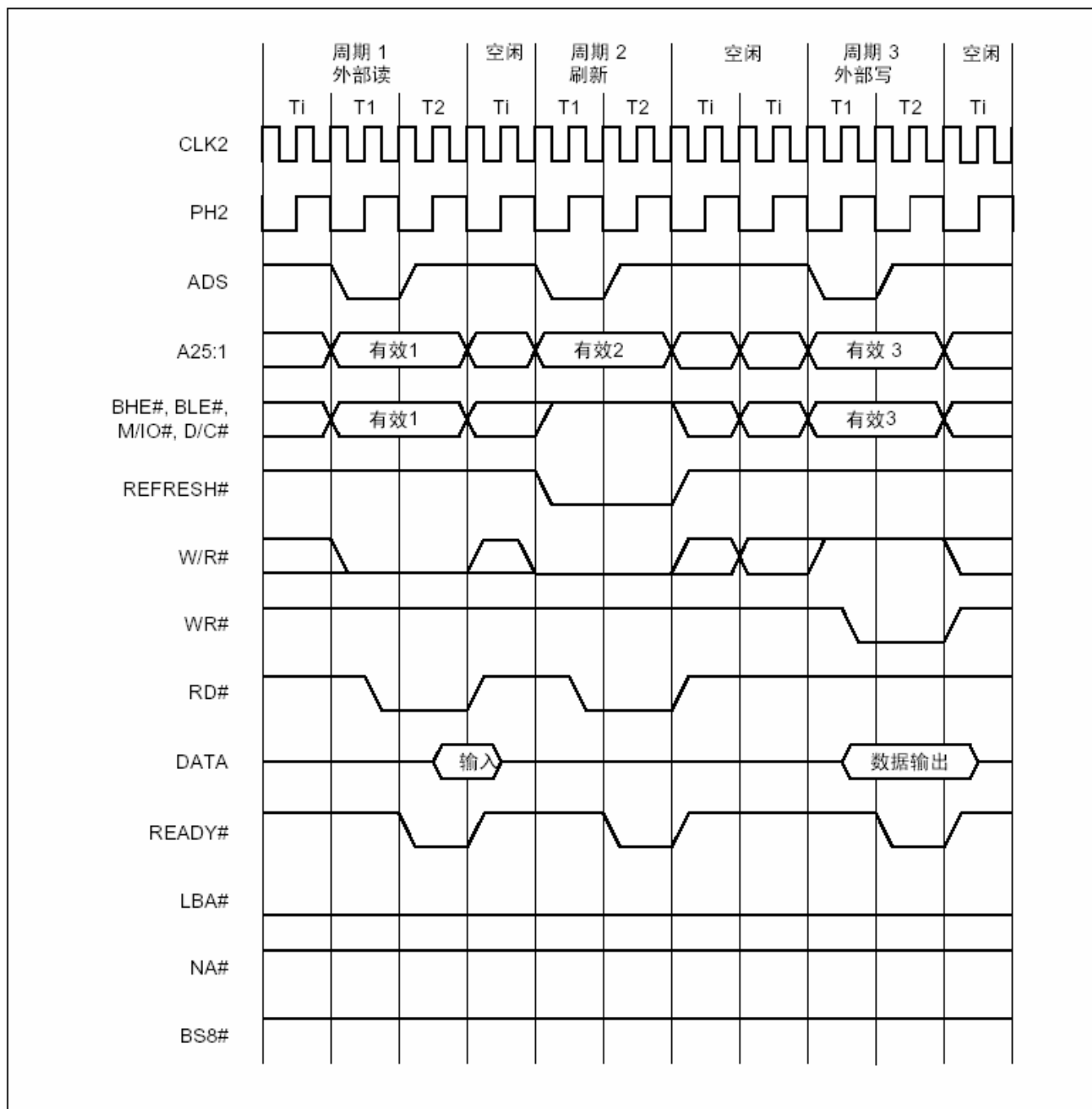


图 23. 局部总线非流水线刷新周期

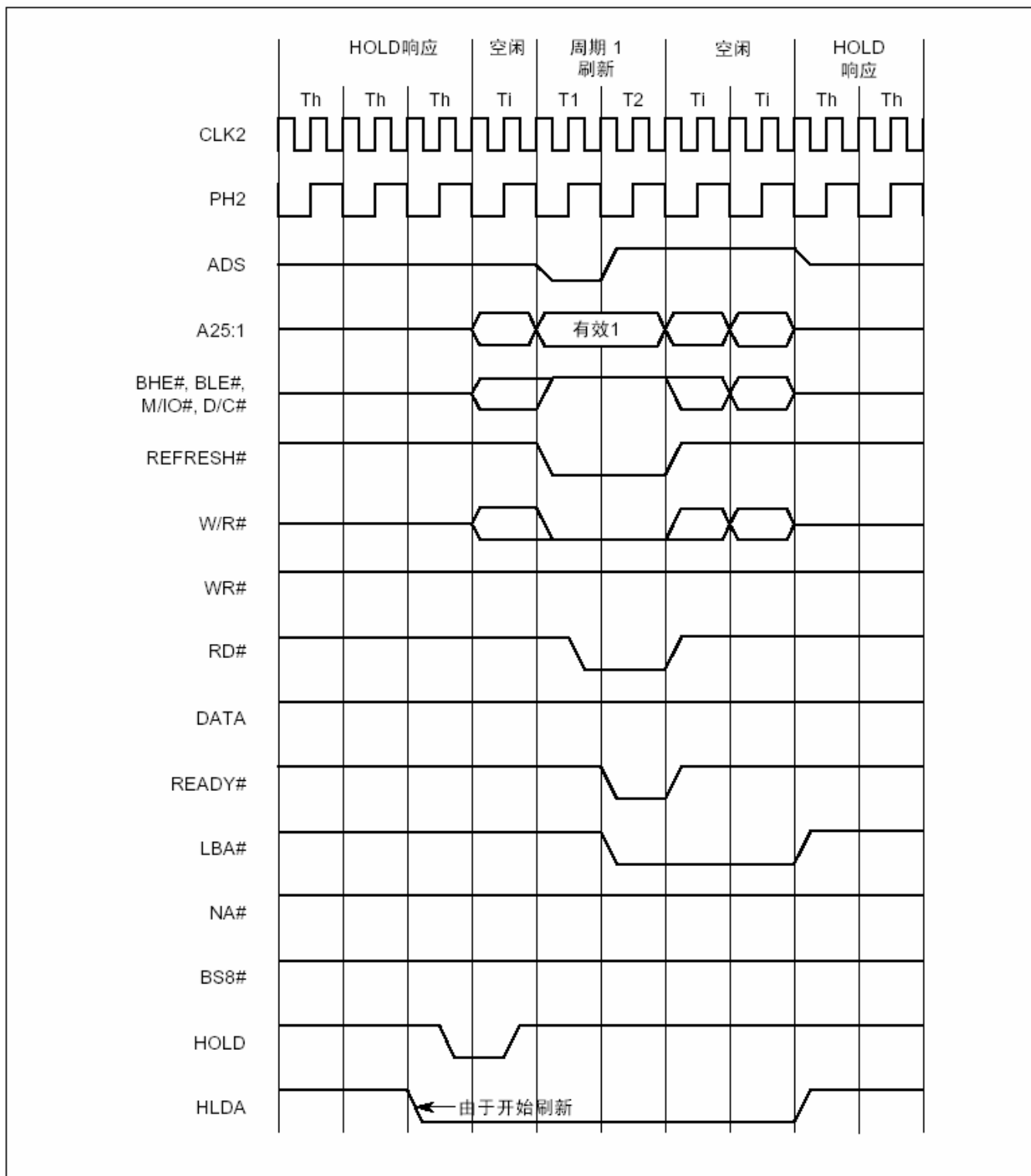


图 24. 局部总线 HOLD/HLDA 期间刷新周期

9.0 与Intel387™ SX算术协处理器的接口

Intel387™SX 算术协处理器是对 Intel386 EX (JFM80386EX) 处理器架构的扩充。二者结合能够显著地提高进行高性能浮点运算的计算机软件的处理速度。

内部电源管理单元使Intel387™SX算术协处理器能够在进行浮点运算时功耗非常低，因而可应用于便携式及台式应用。当芯片处于IDLE模式时，内部电源管理单元能有效地减少95%的功耗。

本节描述了Intel387™SX算术协处理器与军用JFM80386EX™ 嵌入式处理器进行接口的特殊考虑。完整的资料可查阅军用Intel387™SX算术协处理器手册。

9.1 系统配置

如图25所示Intel387™SX算术协处理器被设计为与军用JFM80386EX™嵌入式处理器进行接口。

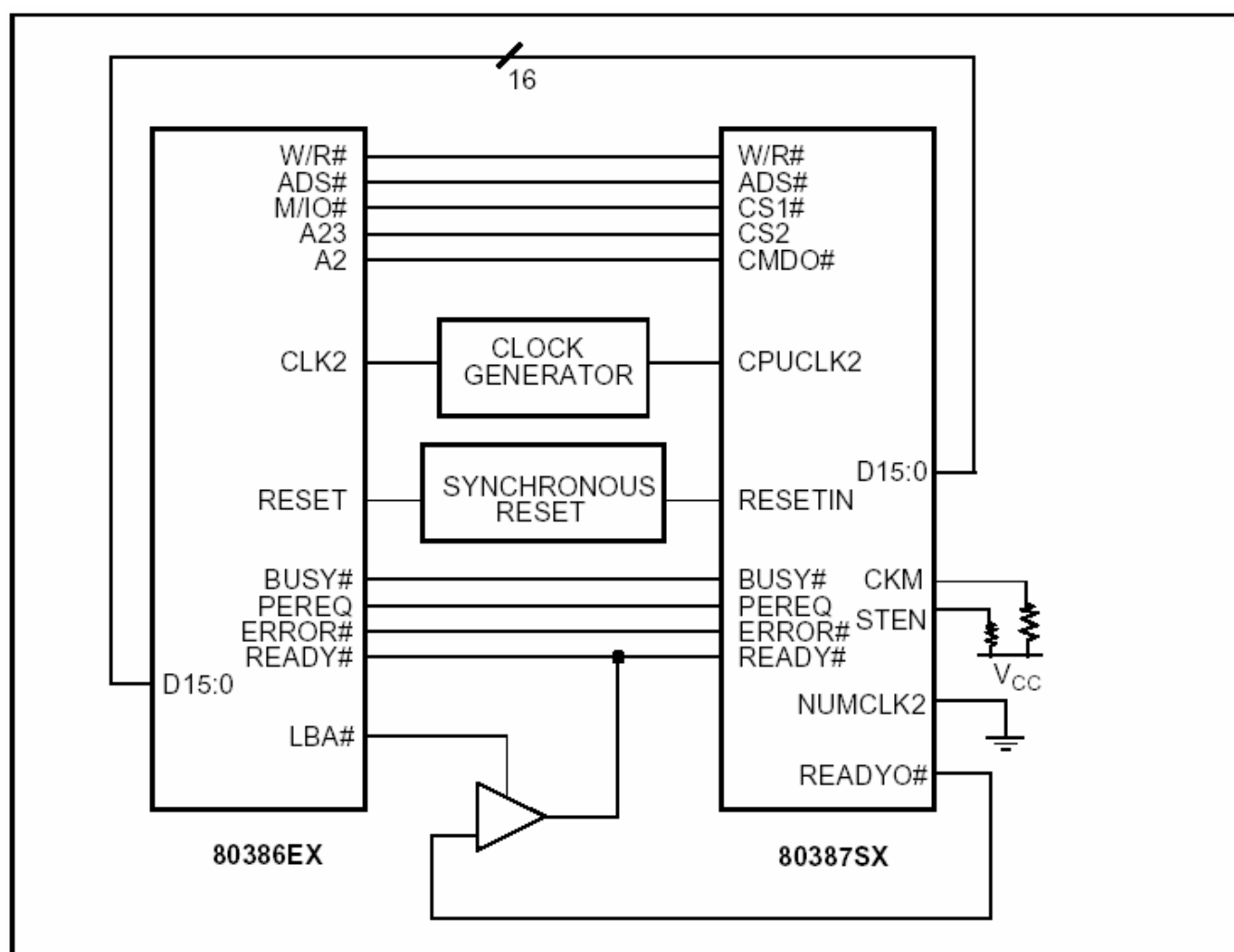


图 25. 军用 JFM80386EX™处理器与 Intel387SX 算术协处理器系统配置

采用专门的通讯协议使CPU和算术协处理器之间能够高速地传递操作码和操作数。算术协处理器的多数管脚与CPU管脚直接相连。

接口有以下特点：

- 。算术协处理器与军用JFM80386EX™处理器共享局部总线。
- 。CPU 与算术协处理器共用相同的 RESET 复位信号。还可以共用相同的时钟输入信号

。相应的BUSY#、ERROR#、PEREQ#管脚链在一起。

。状态使能(STEN)选择算术协处理器。STEN使芯片认可其它的片选输入。STEN必须与NPS1#、NPS2和CMD0#有相同的建立和保持时间。

。算术协处理器的输入NPS1#和NPS2分别与锁存的CPU输入M/IO#和A23相连。在算术协处理器周期，M/IO#常低，A23常高。

。算术协处理器的输入CMD0与锁存的A2输出相连。军用JFM80386EX™嵌入式处理器在写命令时产生地址8000F8H，在读写数据时产生地址8000FCH或8000FEH（被Intel387SX算术协处理器当作8000FCH）。Intel387SX算术协处理器总线周期期间不产生任何其它地址。

。协处理器的READY0#管脚必须经由一个缓冲器，以防止CPU与算术协处理器同时驱动READY#管脚。用LBA#来使能缓冲器。内部总线周期期间，LBA#有效，CPU提供READY#信号；访问协处理器时，LBA#无效，缓冲器有效并提供READY#信号。

Intel387SX算术协处理器可工作在同步或异步模式。当CKM为高时，Intel387SX工作在同步模式。当CKM为低时，Intel387SX工作在异步模式。对于异步模式，需要一个外部时钟发生器以提供NUMCLK2输入。NUMCLK2还要连到CPU的CLK2。

10.0 详细手册信息

详细的军用JFM80386EX™嵌入式处理器使用手册，见“军用JFM80386EX™嵌入式CPU使用手册No. 2”。