

## 单相双向功率/电能 IC

### 特性

- 电能数据线性度：在1000 : 1 动态范围内线性度为  $\pm 0.1\%$
- 片内功能：可以测量电能（有功）， $I \cdot V$ ， $I_{RMS}$  和  $V_{RMS}$ ，具有电能-脉冲转换功能
- 可以从串行EEPROM 智能“自引导”，不需要微控制器
- AC 或DC 系统校准
- 具有机械计度器/步进电机驱动器
- 符合IEC687/1036，JIS 工业标准
- 功耗<12mW
- 优化的分流器接口
- V对I的相位补偿
- 单电源地参考信号
- 片内2.5V 参考电压（最大温漂60ppm/°C）
- 简单的三线数字串行接口
- 看门狗定时器
- 内带电源监视器
- 电源配置

VA+ = +5 V; VA- = 0V; VD+ = +3.3V~+5 V

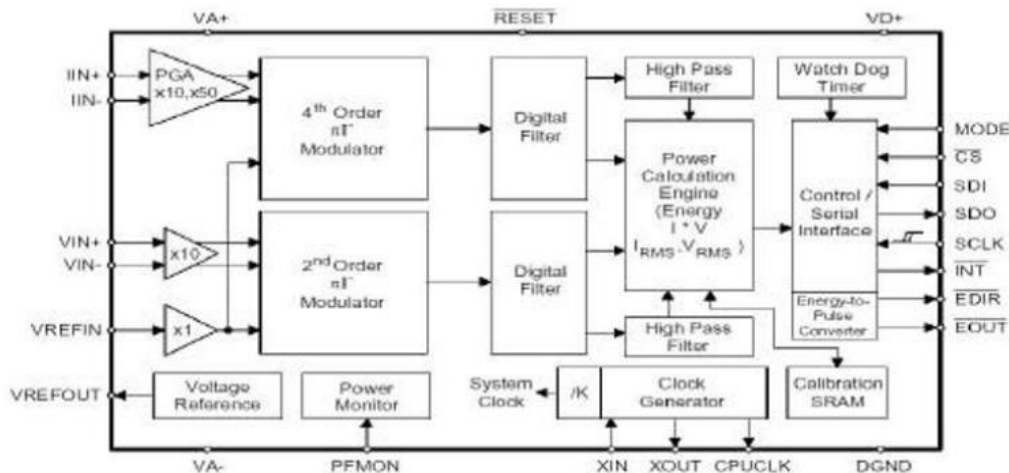
### 概述

CS5460A 是一个包含两个  $\Delta \Sigma$  模-数转换器（ADC）、高速电能计算功能和一个串行接口的高度集成的  $\Delta \Sigma$  模-数转换器。它可以精确测量和计算有功电能、瞬时功率、 $I_{RMS}$  和  $V_{RMS}$ ，用于研制开发单相2 线或3 线电表。CS5460A 可以使用低成本的分流器或互感器测量电流，使用分压电阻或电压互感器测量电压。CS5460A 具有与微控制器通讯的双向串口，芯片的脉冲输出频率与有功能量成正比。CS5460A 具有方便的片上AC/DC 系统校准功能。

“自引导”的特点使CS5460A 能独自工作，在系统上电后自动初始化。在自引导模式中，CS5460A 从一个外部EEPROM 中读取校准数据和启动指令。使用该模式时，CS5460A 工作时不需要外加微控制器，因此当电表用于大批量住宅电能测量时，可降低电表的成本。

### 订货信息：

CS5460A-BS -40°C~+85°C 24 引脚 SSOP



## 目 录

1. 特性与规格说明.....	4
模拟特性 .....	5
模拟特性 (续) .....	6
5V 数字特性.....	7
3.3V 数字特性.....	7
绝对最大额定值 .....	8
开关特性 .....	9
2. 综述.....	12
2.1 操作原理 .....	12
2.1.1 $\Delta\sigma$ 调制器.....	12
2.1.2 高速数字低通滤波器.....	12
2.1.3 数字补偿滤波器.....	12
2.1.4 数字高通滤波器.....	12
2.1.5 总的滤波器响应.....	12
2.1.6 增益及 DC 偏移量调整 .....	12
2.1.7 有功能量及有效值计算.....	13
2.2 执行测量 .....	13
2.2.1 CS5460A 线性性能 .....	14
2.2.2 单计算周期 (C=0) .....	14
2.2.3 连续计算周期 (C=1) .....	15
2.3 基本应用电路结构.....	15
3. 串口综述.....	15
3.1 命令字 (只写) .....	15
3.1.1 启动转换.....	18
3.1.2 SYNC0 命令 .....	18
3.1.3 SYNC1 命令 .....	18
3.1.4 上电/暂停命令.....	18
3.1.5 掉电控制 .....	18
3.1.6 校准控制.....	19
3.1.7 寄存器读/写命令.....	20
3.2 串行口接口.....	21
3.3 串口读/写 .....	21
3.3.1 寄存器写.....	21
3.3.2 寄存器读.....	21
3.4 系统初始化.....	21
3.5 串口初始化.....	22
3.6 CS5460A 上电状态.....	22
4. 功能描述.....	22
4.1 脉冲-速率输出.....	22
4.2 常规模式、步进电机模式和机械计度器模式的脉冲输出 .....	23
4.2.1 常规模式.....	23
4.2.2 机械计度器模式.....	24
4.2.3 步进电机模式.....	24
4.3 使用 EEPROM 的自引导模式 .....	25
4.3.1 自引导结构 .....	25
4.3.2 EEPROM 的自引导数据.....	25
4.3.3 可用的 EEPROM.....	25
4.4 中断和看门狗.....	26



4.4.1 中断 .....	26
4.4.1.1 清除状态寄存器 .....	26
4.4.1.2 $\overline{INT}$ 引脚的典型应用 .....	27
4.4.1.3 $\overline{INT}$ 引脚的有效状态 .....	27
4.4.1.4 异常 .....	27
4.4.2 看门狗定时器 .....	27
4.5 晶体振荡器特性 .....	28
4.6 模拟输入 .....	28
4.7 参考电压 .....	28
4.8 校准 .....	29
4.8.1 校准过程概述 .....	29
4.8.2 校准寄存器 .....	29
4.8.3 校准程序 .....	30
4.8.4 校准信号输入电平 .....	30
4.8.5 校准信号频率 .....	30
4.8.6 校准的输入电路 .....	30
4.8.7 校准算法 .....	30
4.8.7.1 交流偏移量校准 .....	31
4.8.7.2 直流偏移量校准 .....	31
4.8.7.3 交流增益校准 .....	31
4.8.7.4 直流增益校准 .....	31
4.8.8 校准所需时间 .....	31
4.8.9 必须要校准吗? .....	32
4.8.10 校准顺序 .....	33
4.8.11 校准提示 .....	33
4.9 相位补偿 .....	33
4.10 时基校准寄存器 .....	33
4.11 功率偏移量寄存器 .....	34
4.12 输入保护 - 电流限制 .....	34
4.13 输入滤波 .....	34
4.14 对高压和大电流纹波的保护 .....	36
4.15 增强 RFI 抗扰性能 .....	36
4.16 PCB 设计 .....	37
5. 寄存器描述 .....	37
5.1 配置寄存器 .....	38
5.2 电流通道 DC 偏移量寄存器和电压通道 DC 偏移量寄存器 .....	39
5.3 电流通道增益寄存器和电压通道增益寄存器 .....	39
5.4 周期计数寄存器 .....	39
5.5 脉冲-速率寄存器 .....	40
5.6 I, V, P, E 带符号结果输出寄存器 .....	40
5.7 IRMS, VRMS 无符号结果输出寄存器 .....	40
5.8 时基校准寄存器 .....	40
5.9 功率偏移量寄存器 .....	40
5.10 AC 电流通道 AC 偏移量寄存器和电压通道 AC 偏移量寄存器 .....	41
5.11 状态寄存器和屏蔽寄存器 .....	41
5.12 控制寄存器 .....	42
6. 引脚描述 .....	43
7. 封装尺寸 .....	44

## 例 图

图 1 CS5460A 读写时序图.....	10
图 2 CS5460A 自引导时序.....	11
图 3 数据流程图.....	13
图 4 电压输入滤波器特性.....	14
图 5 电流输入滤波器特性.....	14
图 6 典型连线图（单相 2 线、直接与电网连接）.....	16
图 7 典型连线图（单相 2 线、与电网隔离）.....	16
图 8 典型连线图（单相 3 线）.....	17
图 9. 典型连线图（单相 3 线、无中性点）.....	17
图 10 典型脉冲串输出时序图（常规模式）.....	24
图 11 机械计度器模式下的 EOUT 和 EDIR.....	24
图 12 步进电机驱动器模式下的 EOUT 和 ED.....	24
图 13 EEPROM 和 CS5460A 的典型接口.....	25
图 14 自引导过程的时序图.....	26
图 15 CS5460A 自引导配置：掉电后自动重启动.....	27
图 16 晶体振荡器连接图.....	28
图 17 CS5460A 的 VREFOUT 电压与温度特性.....	29
图 18 系统增益校准.....	31
图 19 系统偏移量校准.....	31
图 20 校准数据流程图.....	31
图 21 交流增益校准实例.....	32
图 22 另一个交流增益校准实例.....	32
图 23 直流增益校准实例.....	32
图 24 单端输入电路的输入保护.....	37
图 25 CS5460A 寄存器图.....	37

## 表 格

表 1 差模输入电压与输出编码.....	13
表 2 输出线性度为±0.1%的使用范围（增益/偏移量寄存器缺省设置）.....	14
表 3 复位后寄存器缺省值.....	22



# 1. 特性与规格说明

## 模拟特性

( $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ ;  $V_{A+}, V_{D+} = +5\text{V} \pm 10\%$ ;  $V_{REFIN} = +2.5\text{V}$ ;  $V_{A-} = \text{AGND} = 0\text{V}$ ;  $MCLK = 4.096\text{MHz}$ ,  $K=1$ ;  $N=4000$   
 $\Rightarrow \text{OWR} = 4.0\text{kHz}$ ) (见注释1, 2, 3, 4, 5)

参数	符号	最小值	典型值	最大值	单位
<b>精度 (两个通道)</b>					
共模抑制比 (DC, 50, 60Hz)	CMRR	80	-	-	dB
偏移量漂移 (无高通滤波器)		-	5	-	nV/°C
<b>模拟输入 (电流通道)</b>					
总谐波失真	THDI	74	-	-	dB
差模输入电压范围 $\{(V_{IIN+})-(V_{IIN-})\}$ (增益=10)	IIN	-	$\pm 250$	-	mV (dc)
(增益=50)		-	$\pm 50$	-	mV (dc)
IIN+或 IIN-上的共模加信号 (增益=10或50)		-0.25	-	V <sub>A+</sub>	V
满量程输入时对电压通道的串扰 (50, 60Hz)		-	-	-115	dB
输入电容 (增益=10)	Cin	-	25	-	pF
(增益=50)		-	25	-	pF
等效输入阻抗 (注释6)	ZinI	-	-	-	k $\Omega$
(增益=10)		-	30	-	k $\Omega$
(增益=50)		-	30	-	k $\Omega$
噪声(参考输入) (增益=10)		-	-	20	$\mu\text{V}_{\text{RMS}}$
(增益=50)		-	-	4	$\mu\text{V}_{\text{RMS}}$
<b>精度 (电流通道)</b>					
双极性偏移误差 (注释1)	VOSI	-	$\pm 0.001$	-	%F.S.
满量程误差 (注释1)	FSEI	-	$\pm 0.001$	-	%F.S.
<b>模拟输入 (电压通道)</b>					
总谐波失真	THDv	62	-	-	dB
最大差模输入电压范围 $\{(V_{IN+})-(V_{IN-})\}$	VIN	-	$\pm 250$	-	mV (dc)
VIN+或 VIN-上的共模加信号		-0.25	-	V <sub>A+</sub>	V
满量程输入时对电流通道的串扰 (50, 60Hz)		-	-	-70	dB
输入电容	CinV	-	0.2	-	pF
等效输入阻抗 (注释6)	ZinV	-	5	-	M $\Omega$
噪声(参考输入)		-	-	250	$\mu\text{V}_{\text{RMS}}$
<b>精度 (电压通道)</b>					
双极性偏移误差 (注释1)	VOSv	-	$\pm 0.01$	-	%F.S.
满量程误差 (注释1)	FSE	-	$\pm 0.01$	-	%F.S.
<b>动态特性</b>					
相位补偿范围 (电压通道, 60Hz)		-2.4	-	+2.5	°
高速滤波器极频率点 (两个通道)	OWR	-	DDCLK/1024	-	Sps
输入采样速率 DCLK=MCLK/K		-	DCLK/8	-	Sps
满量程 DC 校准范围 (注释7)	FSCR	25	-	100	%F.S.
通道-通道延时误差 (60Hz) (PC[6:0]设置为“0000000”)			1.0		$\mu\text{s}$
高通滤波器极点频率 -3dB		-	0.5	-	Hz
<b>参考电压输出</b>					
输出电压	REFOUT	+2.4	-	+2.6	V
VREFOUT 温度系数 (注释12)	T <sub>VREFOUT</sub>	-	25	-	ppm/°C
负载调节 (输出电流 1 $\mu\text{A}$ 输入或输出)	$\Delta\text{VR}$	-	6	10	mV
<b>参考电压输入</b>					
输入电压范围	VREFIN	+2.4	+2.5	+2.6	V
输入电容		-	4	-	pF
输入 CVF 电流		-	25	-	nA

## 模拟特性 (续)

参数	符号	最小值	典型值	最大值	单位
<b>电源</b>					
电源电流 (有效状态)	IA+	PSCA	-	1.3	- mA
	ID+(VD+=5V)	PSCD	-	2.9	- mA
	ID+(VD+=3.3V)	PSCD	-	1.7	- mA
功耗 (注释 8)	有效状态 (VD+=5V)	PC	-	21	25 mW
	有效状态 (VD+=3.3V)		-	11.6	- mW
	待机状态		-	6.75	- mW
	休眠状态		-	10	- μW
电源抑制比 电流通道 (注释 9)	(50, 60Hz) (增益=10)	PSRR	56	-	- dB
	(增益=50)	PSRR	70	-	- dB
电源抑制比 电压通道 (注释 9)	(50, 60Hz)	PSRR	50	-	- dB
PFMON 掉电检测阈值电压 (注释 10)		PMLO	2.3	2.45	- V
PFMON 上电检测阈值电压 (注释 11)		PMHI	-	2.55	2.7 V

注释: 1. 进行了偏移量/增益系统校准程序后, 芯片工作在“连续计算周期”数据采集模式时, 电流和电压通道的双极性偏移量误差及全量程增益误差分别参照 $I_{RMS}$ 寄存器及 $V_{RMS}$ 寄存器的输出。这一规格不适用于瞬时电流/电压寄存器的输出。

2. 本说明有设计, 描述和测试保证。
3. 若无其他说明, 模拟信号以VA-为参考, 数字信号以DGND 为参考。
4. 关于VA+=VD+=5V±10%的规定, 需注意只要VA+>VD+, VA+和VD+允许相差±200mv。
5. Sps是“samples per second (每秒采样次数)”的缩写。FSCR 最小值受增益寄存器最大允许值限制。
6. 等效输入阻抗( $Z_{inI}$ )由时钟频率(DCLK)和输入电容( $C_{in}$ )决定,  $Z_{inI}=1/(IC \cdot DCLK/4)$ , 其中DCLK=MCLK/K
7. FSCR的最小值由增益寄存器的最大允许值限定。
8. 所有输出值都是加载情况下的输出。所有输入都是CMOS 电平。
9. PSRR定义: VREFIN与VREFOUT相连, VA+=VD+=5V, VA+和VD+引脚上的+5V电压上叠加一个峰值为150mV的正弦波(频率为60HZ)。两个输入通道的“+”“-”输入引脚与VA-短接。CS5460A工作于“连续计算周期”数据采集模式, 测试时采集通道的输出数据。数字正弦输出信号的峰值是确定的, 该值转换为加在通道输入端的正弦电压的峰值, 从而产生同样的数字正弦输出信号。这一电压定义为 $V_{eq}$ 。PSRR因此定义为(单位dB):

$$PSRR = 20 \cdot \log \left\{ \frac{0.150V}{V_{eq}} \right\}$$

10. PFMON电平下降且LSD位为0, 则LSD位所对应的电压置为高电平。
11. 若LSD为已置1(由于PFMON电压跌至PMLO以下), 则当PFMON电压开始回升时, PFMON引脚上的电平为PMHI, 但LSD位会永久性的复位为0(不会瞬间变回1)。若不满足这一条件, LSD的复位不会成功。该条件表明电压已恢复。典型地, 如所给数据, PMHI约比PMLO电压高100mV。
12. VREFOUT温度系数规范见4.7节。



## 5V 数字特性

(TA= -40 ℃~+85 ℃; VA+, VD+=5V ±10%; VA-, DGND=0V ) (见注释3, 4和13 )

参数	符号	最小值	典型值	最大值	单位
高电平输入电压	VIH	0.6VD+	-	-	V
除 XIN,SCLK 和 $\overline{RESET}$ 以外的所有引脚		(VD+)-0.5	-	-	V
XIN SCLK 和 $\overline{RESET}$		0.8VD+	-	-	V
低电平输入电压	VIL	-	-	0.8	V
除 XIN,SCLK 和 $\overline{RESET}$ 以外的所有引脚		-	-	1.5	V
XIN SCLK 和 $\overline{RESET}$		-	-	0.2VD+	V
高电平输出电压 (除 XOUT)	VOH	(VD+) -1.0	-	-	V
低电平输出电压 (除 XOUT)	VOL	-	-	0.4	V
输入漏电流 (注释 14)	Iin	-	±1	±10	μA
三态漏电流	Ioz	-	-	±10	μA
数字输出引脚电容	Cout	-	5	-	pF

注释: 13. 5V特性由表示特性保证。只有更严格的3.3V数字特性在产品测试中进行过实际验证。

14. 适用于除XIN引脚 (漏电流<50 μA) 和MODE引脚 (漏电流<25 μA) 外的所有引脚。

## 3.3V 数字特性

(TA= -40 ℃~+85 ℃; VA+ =5V ±10%; VD+ =3.3V ±10%; VA-, DGND=0V ) (见注释3, 4和13 )

参数	符号	最小值	典型值	最大值	单位
高电平输入电压	VIH	0.6VD+	-	-	V
除 XIN,SCLK 和 $\overline{RESET}$ 以外的所有引脚		(VD+)-0.5	-	-	V
XIN SCLK 和 $\overline{RESET}$		0.8VD+	-	-	V
高电平输入电压	VIH	0.6VD+	-	-	V
除 XIN,SCLK 和 $\overline{RESET}$ 以外的所有引脚		(VD+)-0.5	-	-	V
XIN SCLK 和 $\overline{RESET}$		0.8VD+	-	-	V
低电平输入电压	VIL	-	-	0.48	V
除 XIN,SCLK 和 $\overline{RESET}$ 以外的所有引脚		-	-	0.3	V
XIN SCLK 和 $\overline{RESET}$		-	-	0.2VD+	V
高电平输出电压(除 XIN,XOUT 引脚)	VOH	(VD+) -1.0	-	-	V
低电平输出电压(除 XIN,XOUT 引脚)	VOL	-	-	0.4	V
输入漏电流 (注释 14)	Iin	-	±1	±10	μA
三态漏电流	Ioz	-	-	±10	μA
数字输出引脚电容	Cout	-	5	-	pF

注释: 15. 所有的测量都是在静态条件下进行的。

16. 若VD+=3V且XIN输入由晶振产生, 则XIN的频率必须保持在2.5M—5.0MHZ之间。若使用振荡器, 整个XIN频率范围都可使用, 见开关特性。

## 绝对最大额定值

(DGND=0V；见注释17)

警告：在限制条件临界值下工作或超过限制条件工作可能造成芯片的永久性损坏。在这些极限情况下不保证芯片可靠工作。

参数	符号	最小值	典型值	最大值	单位	
直流电源 (注释 18, 19)	正数字	VD+	-0.3	-	+6.0	V
	正模拟	VA+	-0.3	-	+6.0	V
	负模拟	VA-	+0.3	-	-6.0	V
	输入电流, 除电源引脚除外任何引脚 (注释 20,21,22)	IIN	-	-	±10	mA
输出电流	IOUT	-	-	±25	mA	
功耗 (注释 23)	PD	-	-	500	mW	
模拟输入电压 所有模拟引脚	VINA	(VA-)-0.3	-	(VA+)+0.3	V	
数字输入电压 所有数字引脚	VIND	DGND-0.3	-	(VD+)+0.3	V	
工作环境温度	TA	-40	-	85	°C	
存储温度	Tstg	-65	-	150	°C	

注释：17. 所有电压都以地为参考。

18. VA+和VA-必须满足 $\{(VA+)-(VA-)\} \leq +6.0V$ 。

19. VD+和VA-必须满足 $\{(VD+)-(VA-)\} \leq +6.0V$ 。

20. 适用于所有引脚，包括在持续过压情况下的模拟输入引脚（AIN）。

21. 100mA 以内的瞬间电流不会造成SCR（可控硅）死锁。

22. 电源引脚的最大直流输入电流为±50mA。

23. 总功耗，包括所有输入电流和输出电流。

**冠亚工控**

**气体分析、水质分析、在线监测**

**红外气体分析仪**  
**激光气体分析仪**

分析仪器与生产工  
艺条件的完美匹配

**唐山冠亚工控设备有限公司**



## 开关特性

(TA = -40 °C ~ +85 °C; VA+ = 5.0V ± 10%; VD+ = 3.0V ± 10% 或 5.0V ± 10%; VA- = 0.0V; 逻辑电平: 逻辑0 = 0.0V

逻辑1 = VD+; CL = 50pF )

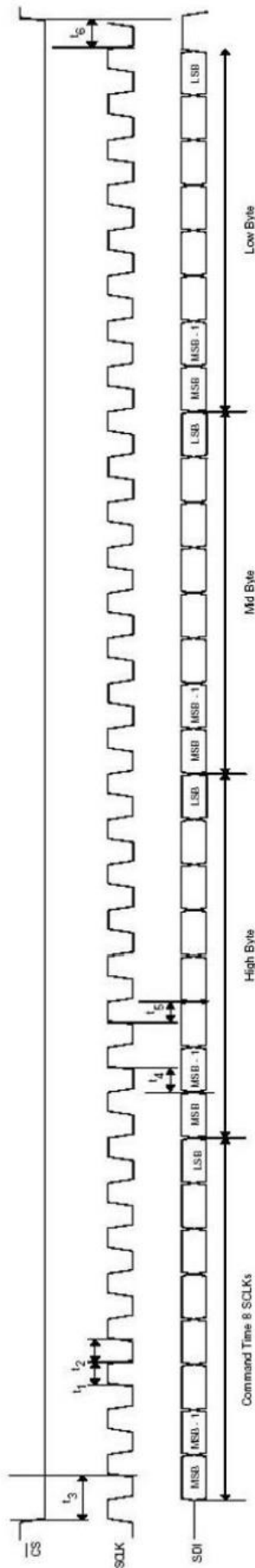
参数	符号	最小值	典型值	最大值	单位
主时钟频率 内部振荡器(注释 24)	MCLK	2.5	4.096	20	MHz
主时钟占空比		40	-	60	%
CPUCLK 占空比 (注释 25)		40		60	%
上升时间 除 SCLK 外的所有数字输入引脚(注释 26)	trise	-	-	1.0	μs
SCLK		-	-	100	μs
任意数字信号输入		-	50	-	ns
下降时间 除 SCLK 外的所有数字输入引脚(注释 26)	tfall	-	-	1.0	μs
SCLK		-	-	100	μs
任意数字信号输入		-	50	-	ns
启动					
振荡器启动时间 XTAL=4.096MHz(注释 27)	tost	-	60	-	ms
串行口时间特性					
串行时钟频率	SCLK	-	-	2	MHz
串行时钟 脉冲高电平宽度	t1	200	-	-	ns
脉冲低电平宽度	t2	200	-	-	ns
SDI 时间特性					
$\overline{CS}$ 下降到 SCLK 上升的时间	t3	50	-	-	ns
SCLK 上升前数据建立时间	t4	50	-	-	ns
SCLK 上升后数据保持时间	t5	100	-	-	ns
SCLK 下降到 $\overline{CS}$ 无效的时间	t6	100	-	-	ns
SDO 时间特性					
$\overline{CS}$ 下降到 SDO 开始驱动的时间	t7	-	20	50	ns
SCLK 下降到新数据位出现的时间	t8	-	20	50	ns
$\overline{CS}$ 上升到 SDO 高阻态的时间	t9	-	20	50	ns
自引导时间特性					
串行时钟 高电平脉宽	t10		8		MCLK
低电平脉宽	t11		8		MCLK
MODE 到 $\overline{RESET}$ 上升的建立时间	t12	50	-	-	ns
$\overline{RESET}$ 上升到 $\overline{CS}$ 下降的时间	t13	48			MCLK
$\overline{CS}$ 下降到 SCLK 上升的时间	t14	100	8		MCLK
从 SCLK 下降到 $\overline{CS}$ 上升时间	t15		16		MCLK
$\overline{CS}$ 上升到 MODE 拉低时间 (结束自引导过程)	t16	50			ns
SDO 保证设置时间到 SCLK 上升的时间	t17	100			ns

注释: 24. 芯片参数是使用4.096MHz 时钟时的参数,但时钟频率在3MHz ~ 20MHz 之内都能使用。但输入频率超过5MHZ 时, 必须使用外部振荡器, 若仍使用晶振, 则VD+必须为5V (不是3V)。

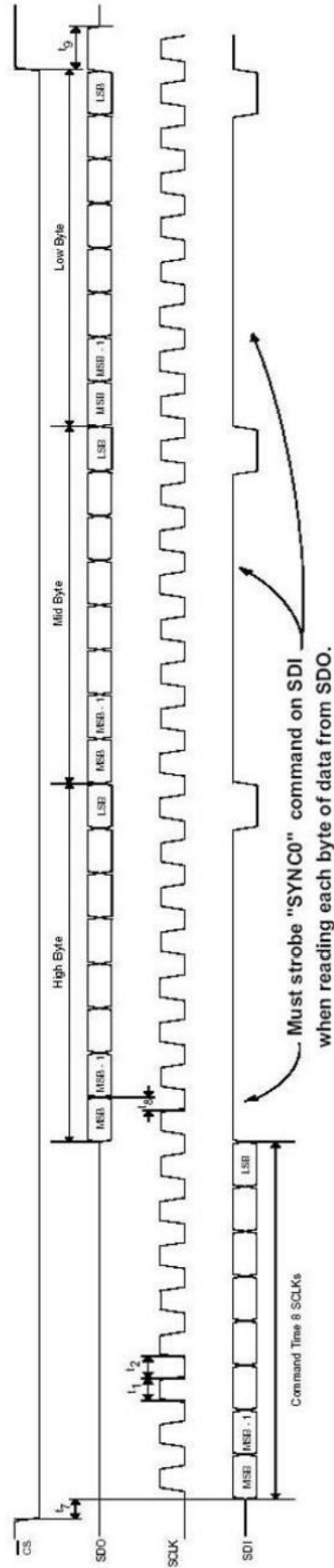
25. 如果使用外部MCLK, 则占空比必须在45%和55%之间才能满足该参数的要求。

26. 参数测试使用了被测波形10%和90%的两个点。输出负载为50pF。

27. 振荡器启动时间因晶片参数不同而不同。当使用外部时钟时该参数无效。



**SDI Write Timing (Not to Scale)**



**SDO Read Timing (Not to Scale)**

图1 CS5460A读写时序图



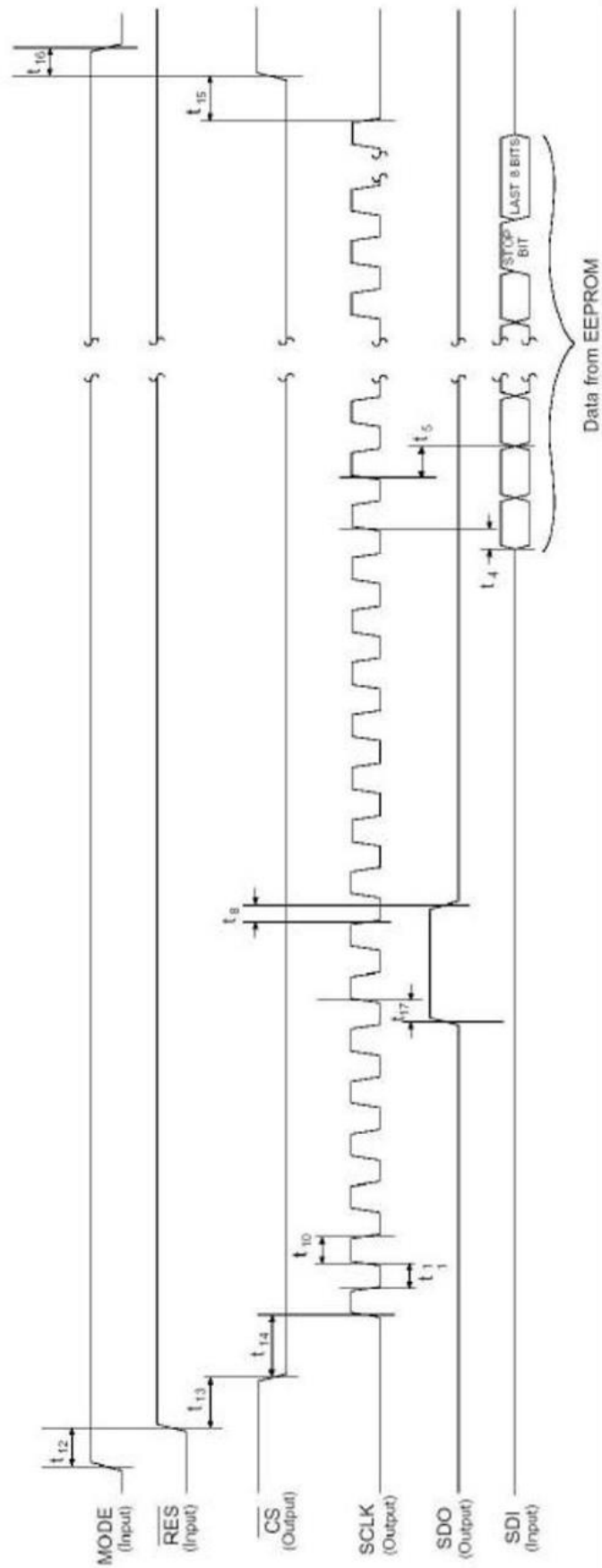


图2 CS5460A自引导时序

## 2. 综述

CS5460A 是具有有功功率计算引擎的CMOS单片功率测量芯片，它包含了两个增益可编程放大器、两个 $\Delta\Sigma$ 调制器、两个高速滤波器，具有系统校准和有效值/功率计算功能，以提供瞬时电压/电流/功率数据采样及有功能量、 $I_{RMS}$ 、 $V_{RMS}$ 的周期计算结果。为适应低价测量应用，CS5460A也能在给定引脚上输出脉冲串，输出的脉冲数与有功能量寄存器的数值成正比。

CS5460A专为功率测量进行了优化，它适合与分流器或电流互感器相连来测量电流；与分压电阻或电压互感器相连来测量电压。为适应不同电平的输入电压，电流通道集成有一个增益可编程放大器（PGA），使输入电平满量程可选择为 $\pm 250mV_{RMS}$ 或 $\pm 50mV_{RMS}$ 。电压通道的PGA可适应 $\pm 250mV$ 的输入电压范围。对于VA+和VA-两端接单+5V电源的情况，两个通道的差模输入引脚间所加的共模+信号电压为 $-0.25V$ 到 $+5V$ 。另外，设计时可以在某一个通道或两个通道实现双端差模输入，此时输入信号的共模电压加在AGND上。

CS5460A 每通道都有一个高速数字滤波器，将两个 $\Delta\Sigma$ 调制器的输出衰减10倍并积分。滤波器以（MCLK/K）/1024的字输出速率（OWR）输出24位数据。

为了方便与外部微控制器通讯，CS5460A 集成有一个简单的三线串行接口，该串口与SPI™和Microwire™标准兼容。串口的串行时钟（SCLK）和 $\overline{RESET}$ 引脚内包含一个施密特触发器，允许使用上升速度较慢的信号。

### 2.1 操作原理

两个通道的计算程序图见图3。阅读以下各部分的数据流程描述时可参考该图。

#### 2.1.1 $\Delta\Sigma$ 调制器

电压/电流通道的模拟波形应与输入PGA的增益对应(未在图3中显示)。该波形将由 $\Delta\Sigma$ 调制器以（MCLK/K）/8Sps的速度采样。

#### 2.1.2 高速数字低通滤波器

对数据进行低通滤波，以去除调制器输出的高频噪声。参见图3，电压通道的高速滤波器由一个固定的Sinc<sup>2</sup>滤波器实现。电流通道用一个Sinc<sup>4</sup>滤

波器实现，与电压通道的准确测量范围相比，可以在输入跨度更大的情况下实现电流通道的精确测量。（该问题在2.2.1节有更多讨论）

同样见图3，电压通道的数据与一个可变的时延滤波器有关。时延的长度由相位补偿位的7位二进制值确定（见相位补偿），它们可由用户设置。当相位补偿位PC[6:0]为缺省设置“0000000”（且MCLK/K=4.096MHZ）时，相对于初始的模拟电流输入信号，加在初始的模拟电压输入信号的额定延约为1 $\mu s$ 。这在频率为60HZ时相当于约0.0216度的滞后。

#### 2.1.3 数字补偿滤波器

两个通道的数据接下来通过两个FIR补偿滤波器，以补偿通过低通滤波器后产生的幅值损耗。

#### 2.1.4 数字高通滤波器

两个通道都提供了一个可选的高通滤波器（图3中用HPF表示），它可以加入信号通路，以在有效值/电能计算之前除去电流/电压信号中的直流成分。该滤波器可通过使能寄存器中的特定位启动。

若用户希望在两个通道中的一个加入高通滤波器，则另一个通道将启动全通滤波器（图3中的APF），以保持电压和电流的传感信号之间的相位关系。例如，如果电压通道加入了HPF而电流通道没有加入，则电流通道将加入APF，从而消除电流通道内由于高通滤波器产生的相位延迟。

#### 2.1.5 总的滤波器响应

当CS5460A(K=1)在4.096MHZ时钟的驱动下时，电压通道的输入滤波器网络的复合幅值响应（相对于频率）见图4，电流通道的输入滤波器网络的复合幅值响应（对于频率）见图5。两个通道的复合滤波器响应用MCLK频率和K计量。

#### 2.1.6 增益及DC偏移量调整

滤波后瞬态电压和电流的数字量将基于DC偏移量寄存器（进行加法运算）和增益寄存器（进行乘法运算）进行偏移量/增益调整。这些寄存器用于芯片的校准（见4.8. 校准）。经过偏移量和增益调整，24位瞬态数据采样值存入瞬态电压和电流寄存器，用户可通过串口从中读出采样数据。



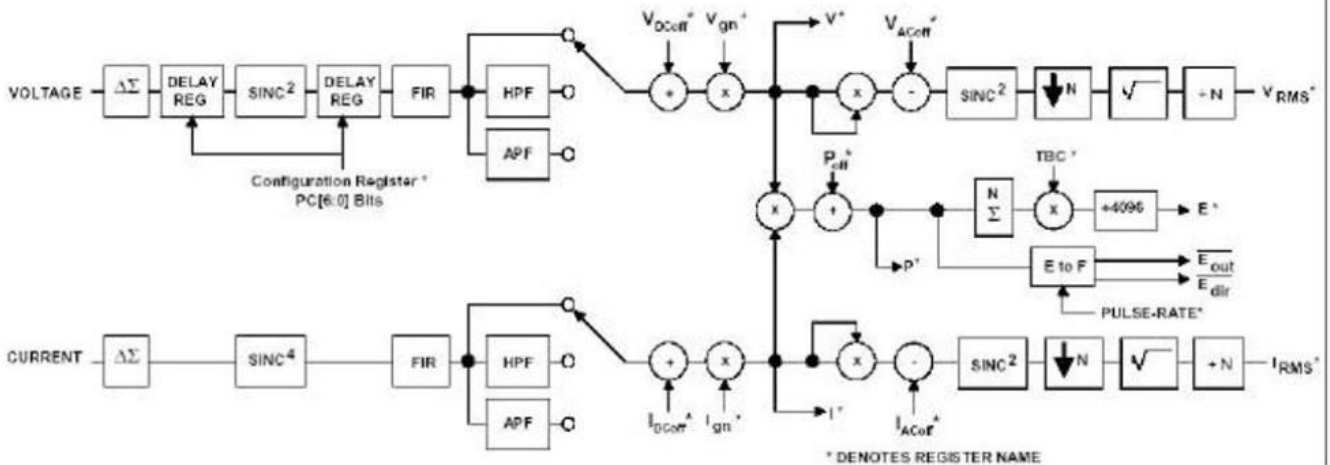


图3 数据流程图

### 2.1.7 有功能量及有效值计算

瞬态电压和电流的数字量将作另外的处理。参见图3，每对瞬态电压/电流的采样数据相乘，得到瞬时有功能量的采样值。每个A/D采样周期后，新的瞬态功率采样值存入瞬时功率寄存器（可被用户读出）。

N个瞬时功率采样值作为一组（N值放在周期计数寄存器中），每组的瞬时功率累加和用于计算存放组能量寄存器中的数值，它正比于芯片在最近N个A/D转换周期中寄存的有功能量的值。从图3可知当前的瞬时功率累加和右移了12次（相当于除以4096），以避免能量寄存器产生溢出。有效值同样利用最近的N个瞬态电压/电流采样值计算，这些值可从RMS电压寄存器和RMS电流寄存器中读出。

## 2.2 执行测量

总结2.1节可知，CS5460A首先测量瞬态电流和瞬态电压，由此计算出相应的瞬时功率以及有功能量、电压有效值和电流有效值的周期计算值。这些测量/计算结果以24位带符号和无符号字给出。所有输出字的范围归一化为统一的量程，其中24位带符号输出字用补码表示。CS5460A输出寄存器的24位数据字的无符号数表示在0和1之间，带符号数表示在-1到+1之间。寄存器值为1表示最大可能的数值。在CS5460A的寄存器中实际上不可能达到1.0的数值。如任何带符号输出寄存器的最大输出值为 $[(2^{23}-1)/(2^{23})]=0.999999880791$ 。每次A/D转换后，CRDY位都将被置位，同时若CRDY位未被屏蔽（在屏蔽寄存器中），INT引脚也将有效。CRDY

位置的置位也表明新的24位瞬态电压和电流采样值已获得，并且它们相乘获得了相应的24位瞬时功率值。表1表明了差模输入电压（电压通道输入端“+”“-”引脚间的电压）和相应的瞬态电压寄存器输出编码之间的关系。当电流通道的PGA增益置于“10X”时，该表也适用于电流通道。

输入电压 (DC)	输出编码 (16进制)	输出编码 (10进制)
+250mv	7FFFFFFF	8388607
14.9nv至44.7nv	000001	1
-14.9nv至14.9nv	000000	0
-44.7nv至-14.9nv	FFFFFFF	-1
-250mv	800000	-8388608

表1 差模输入电压与输出编码

$V_{RMS}$ 、 $I_{RMS}$ 及电能计算每N次转换更新一次（见1中“计算周期”），N值存放于周期计数寄存器中。在每次计算周期结束时，屏蔽寄存器中的DRDY位将置位，若DRDY位未被屏蔽， $\overline{INT}$ 引脚将有效。

尽管CRDY在每次A/D转换后都需置位，但DRDY仅当每次计算周期结束后置位。这些位被CS5460A置位后，用户必须在下次置位之前对其清零，以使其能够在INT引脚上触发新的中断事件。如果周期计数寄存器的值（N）置1，所有输出的计算都是瞬态值，当瞬态计算完成，DRDY将有效。若需使RMS值有效，周期计数寄存器设置的值必须大于10。计算周期频率由主时钟确定，其值为 $(MCLK/K)/(1024*N)$ 。在缺省条件下，即XIN时钟为4.096MHZ,K=1，电压、电流和功率的瞬态A/D转换速率为4000Sps， $I_{RMS}$ 、 $V_{RMS}$ 即电能计算速率为1Sps。



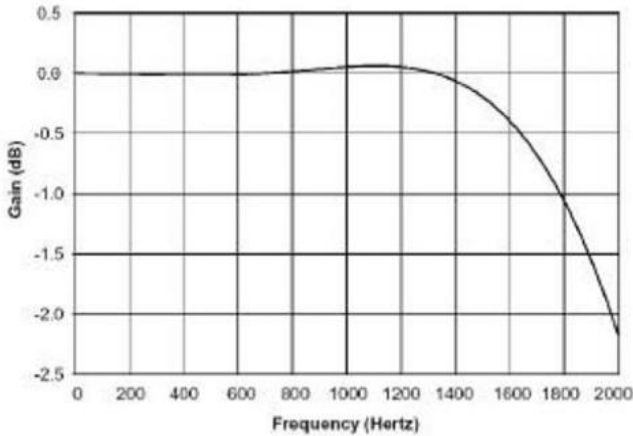


图 4 电压输入滤波器特性

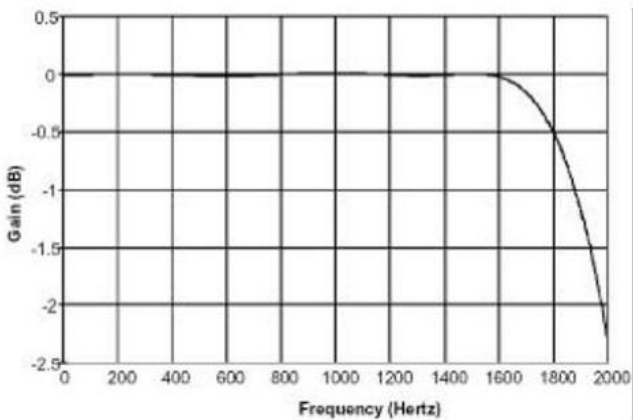


图 5 电流输入滤波器特性

**2.2.1 CS5460A 线性性能**

表2列出了输入电平的范围（电能、 $I_{RMS}/V_{RMS}$ 寄存器的满量程读数的百分数），在该范围内 $V_{RMS}$ 、 $I_{RMS}$ 和电能寄存器在逐个计算周期完成后的结果的（线性度+变化量）在读数的 $\pm 0.1\%$ 内。需注意的是CS5460A未进行校准前（见校准）的准确性（相对于电源的参考电源线电压和电源线电流）不保证在 $\pm 0.1\%$ 内。但实际上CS5460A给出的芯片样品在校准前，其线性度在规定的范围内确实在 $\pm 0.1\%$ 内，此时电压通道和电流通道的输入电平对应于 $I_{RMS}$ 和 $V_{RMS}$ 寄存器满量程读数。两个通道都进行了偏移量/增益校准后， $V_{RMS}$ 、 $I_{RMS}$ 和电能寄存器结果同样具有 $\pm 0.1\%$ 的线性度。另外，电压通道（PGA设为10X增益的电流通道）的差模输入电压的典型最大值（满量程）为250mv（额定值），若两个通道的增益寄存器值为1（缺省）且两个DC偏移量寄存器值为0（缺省），则电压/电流输入的250mv直流信号在RMS电流/电压寄存器内的测量值应为大约0.9999...。因为250mv（dc）的有效值同样是250mv。但对于任何一个输入通道，加入有效值为

250mv的正弦波电压是不实际的，因为这样的正弦波在其每周期电压正/负峰值附近的电平将超过输入通道的最大差模电压输入范围。最大的不饱和正弦波电压输入信号的典型值应为 $250mv/\sqrt{2} \approx 176.78mv$ （RMS），约为满量程的70.7%。这也意味着对于电流通道，要保证60HZ纯正弦波输入信号的RMS测量值的（线性度+变化量）误差保持在读数 $\pm 0.1\%$ 内，电压的范围应在最大差模输入电压幅值的0.2%~70.7%。

	电能	$V_{RMS}$	$I_{RMS}$
范围（%满量程）	0.1%-100%	50%-100%	0.2%-100%
最大差模输入	不使用	电压通道 $\pm 250mv$	电流通道 $\pm 250mv$ 10X $\pm 50mv$ 50X
线性度	读数的0.1%	读数的0.1%	读数的0.1%

表 2 输出线性度为 $\pm 0.1\%$ 的使用范围（增益/偏移量寄存器缺省设置）

（线性度+变化量）保持在读数的 $\pm 0.1\%$ 的范围可以扩大，这可通过选择周期计数寄存器的值使每个计算周期的时间等于（或非常接近于）电源周期的整数倍（N需大于等于4000）实现。例如，周期计数设置为4200，对电源线上电流检测获得的60HZ正弦电流的电压信号的（线性度+变化量）保持在读数的 $\pm 0.1\%$ 的范围可以扩大，也就是超过0.2%~70.7%，准确范围也将提高。因为采样数4200为60HZ的整数倍70倍。需要注意的是测量范围的扩展指的是输入量程下限的扩展（即上限仍不能超出满量程的上限）。这样可以准确测量更小的电源电流，从而扩展电度表的负载范围。增加测量范围有助于负载大范围变化下电度表的测量

**2.2.2 单计算周期（C=0）**

‘C指的是“启动转换”命令(见3.1)的C位。该命令表明CS5460A在“单计算周期”数据采集模式下执行转换。依据周期计数寄存器的信息，在用户发出一个“启动转换”命令后，执行一个单计算周期。计算结束后，DRDY被置位。读取一个计算结果需要32个SCLK时钟信号，前8个SCLK时钟信号用来输入决定读取哪一个寄存器的命令，后24个SCLK时钟信号用来读取被指定的寄存器的计算结果。数据读取完毕后，串行接口返回到命令模式，等待新的命令被发出（第3节有从CS5460A读取寄存器数据的更详细的说明）。



### 2.2.3 连续计算周期 (C=1)

当C=1时, CS5460A执行“连续计算周期”数据采集模式。依据周期计数寄存器的信息, 连续的计算周期在电压和电流通道重复进行(每N次转换进行一次)。用户不能在单个通道上启动/中止计算周期。每个计算周期结束后, DRDY 被置位。读取一个寄存器需32个SCLK时钟信号, 前8个SCLK时钟信号用于确定被读寄存器地址, 后24个SCLK时钟信号用来读出计算结果。在这种模式下, DRDY的上升和下降指示新数据是否就绪, 用户可以据此有选择地读取实际应用所需的计算结果。再次提醒用户在其MCU固化软件中需在DRDY位再次确认前对其复位。

参见图3, 在 $I_{RMS}$ 和 $V_{RMS}$ 的数据通道内平方根计算前, 需进行 $Sinc^2$ 计算。数据在每N个采样值里10中取1。因此, 每个通道的第一个输出将无效(也就是说单计算周期时所有有效值计算结果都无效, 连续计算周期时第一个有效值计算结果无效)。由于计算电能不需要进行 $Sinc^2$ 计算, 所以电能计算结果一直有效。

用户向CS5460A发出“启动转换”的命令后(见3.1命令(只写))且命令中的‘C’位置1, 芯片将保持在激活状态下。一旦进入“连续计算周期”数据采集模式, CS5460A将连续在电压/电流通道进行A/D转换及所有后续计算, 直至: a) 从串口接到“上电/暂停”命令; b) 芯片掉电; c) 用户确认配置寄存器中的RS位(软件复位); d) 硬件复位。

## 2.3 基本应用电路结构

图6所示为CS5460A在单电源单相2线系统的功率测量方案。该图用于监控电源线电流的电阻分流器联接在电源的火线端。在大多数住宅电能测量应用中, 电度表分流器接在火线上有助于发现窃电的行为。这种类型的电阻分流器在CS5460A的共模输入电压应以火电源线电压为参考点, 这也意味着CS5460A的输入共模电压相对于地电位会在很高的正电压和负电压之间振荡。因此CS5460A的数字输出接口与外部数字接口(如局域网或其它通信网络)的设计应谨慎。这些数字通信网络可能要求对地电位为CMOS电平。在这种情况下, CS5460A的数字串行接口引脚必须与外部数字接口隔离, 以使测量端的参考地电位与外部接口地参考地电位

互不冲突。CS5460A及其电路必须密封保持绝缘以防人或动物触电。

图7所示同样为单相2线系统的功率测量, 但与电源线实现了隔离。隔离通过3个变压器实现。一个是普通的变压器, 用于提供CS5460板上的直流电源。第二个是一个高精度、低阻抗的变压器(通常称为电压互感器), 在较高的谐波下也具有很小的衰减和相位延迟。还有一个电流互感器用于测量电源线电流, 一个电阻跨接在电流互感器的次级, 对CS5460A的电流通道产生电流感应的电压信号。由于CS5460A不直接接在电源线上, 因此其数字接口不需隔离。

图8所示为CS5460A在单相3线系统的功率测量方案。另外, 在美国的许多使用3线的住宅电能测量系统中只有两根线是可用的(中线不能使用), 图9显示了CS5460A在不使用中线情况下的单相3线功率测量系统。

## 3. 串口综述

CS5460A的串行接口部分集成了一个带有发送/接收缓冲器的状态机, 状态机在SCLK的上升沿解释8位命令字。根据对命令的解码, 状态机将执行相应的操作, 或者为被寻址的寄存器的数据传输做准备。读操作需将被寻址的内部寄存器的数据传送到发送缓存区, 写操作在数据传输前要等24个SCLK周期。内部寄存器用于控制ADC的功能。所有寄存器都是24位。图25描述了用户可用的内部寄存器。

上电后CS5460A初始化并处于可完全操作状态, 等待接收有效的命令(输入串口的前8位数据)。在完成对有效命令的接收和解码后, 状态机将指示转换器执行系统操作或从内部寄存器输入或输出数据。具体命令字的含义, 请用户参考“命令字”一节。

### 3.1 命令字(只写)

所有的命令字长度均为1个字节。写寄存器命令后必须紧跟1、2或3个字节的寄存器数据。读寄存器命令发出3字节的寄存器数据。读寄存器命令可以和其它命令链接到一起执行(比如, 在读数据时, 另一个新的命令可送入SDI, 并可在原来的读操作结束前执行), 这样就允许“命令链”操作。

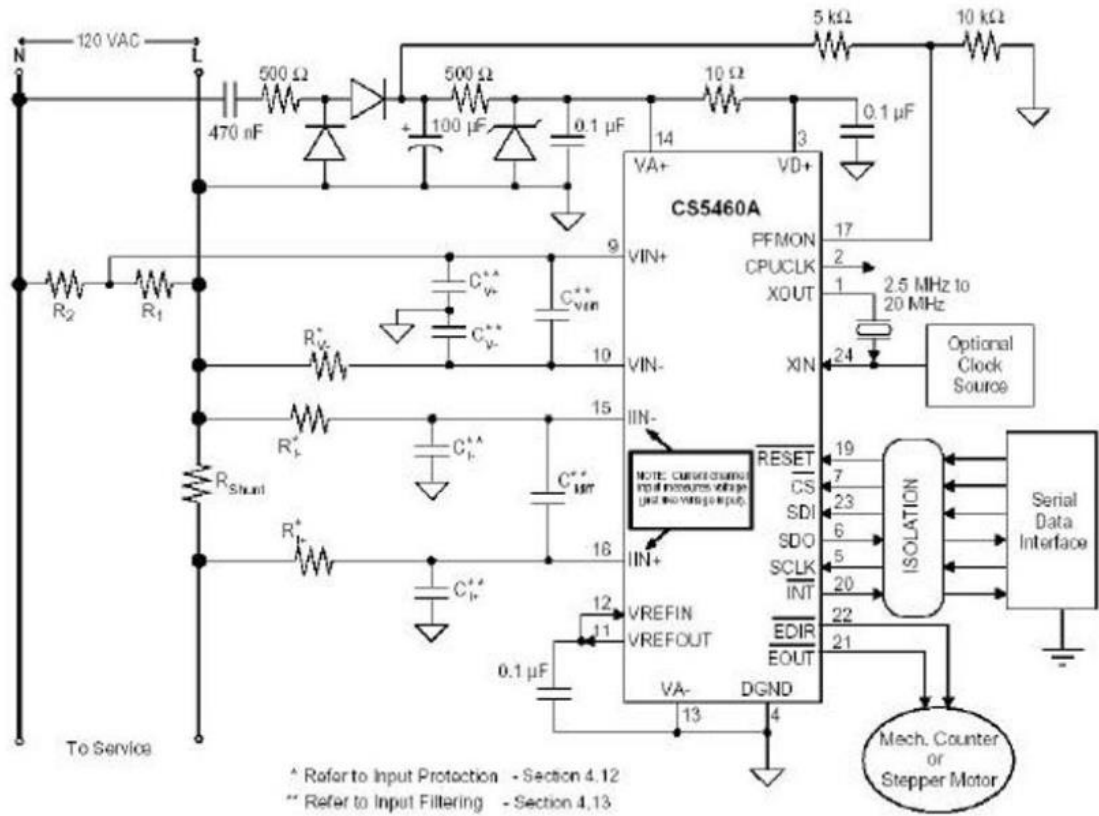


图6 典型连线图（单相2线、直接与电网连接）

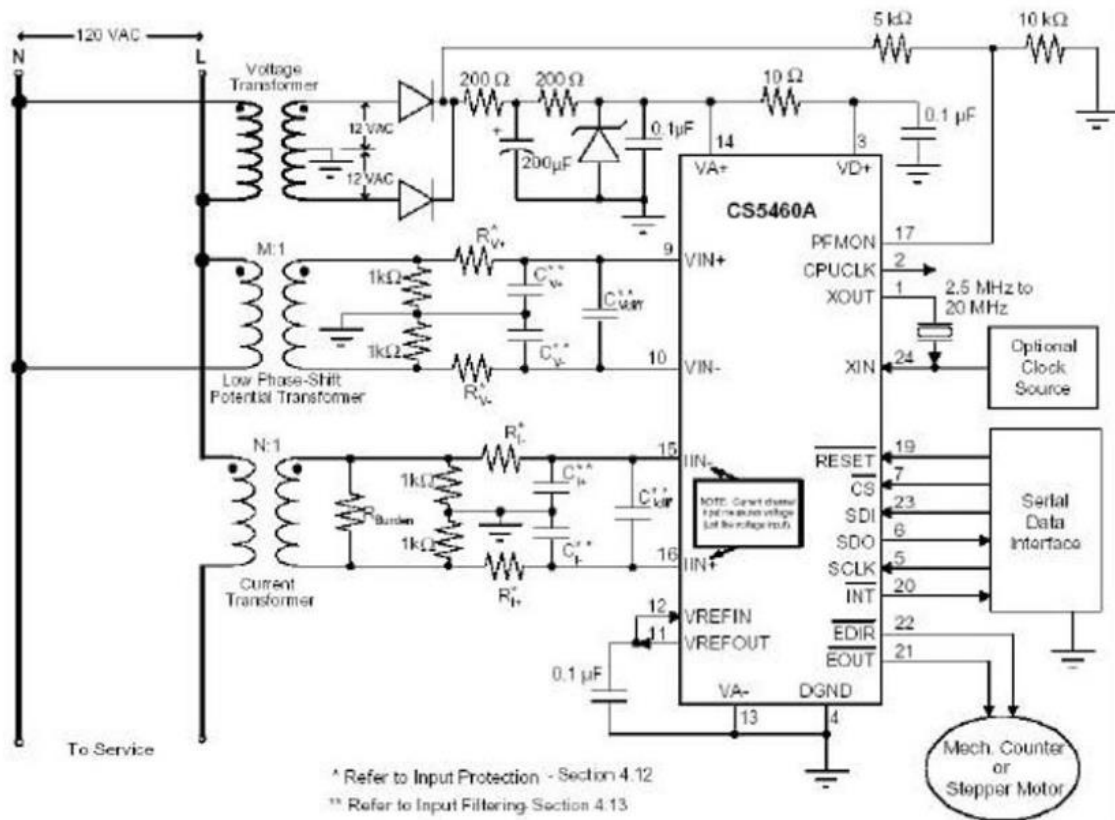


图7 典型连线图（单相2线、与电网隔离）



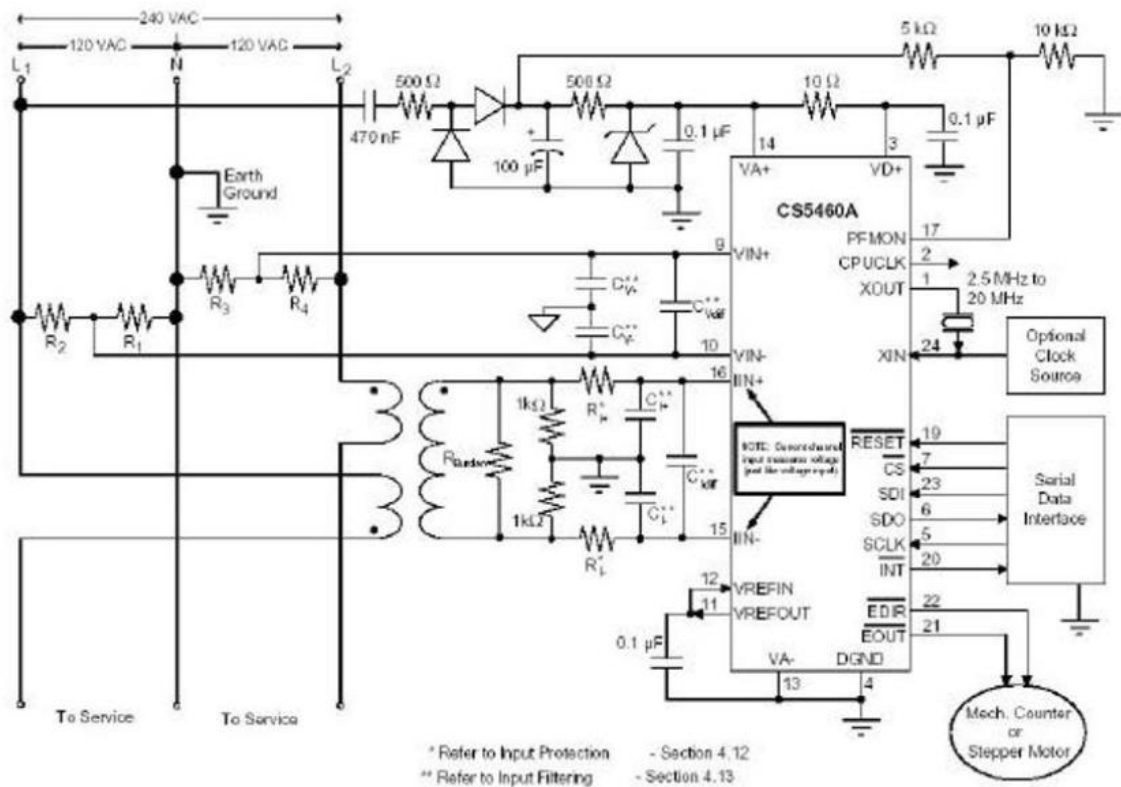


图8 典型连线图（单相3线）

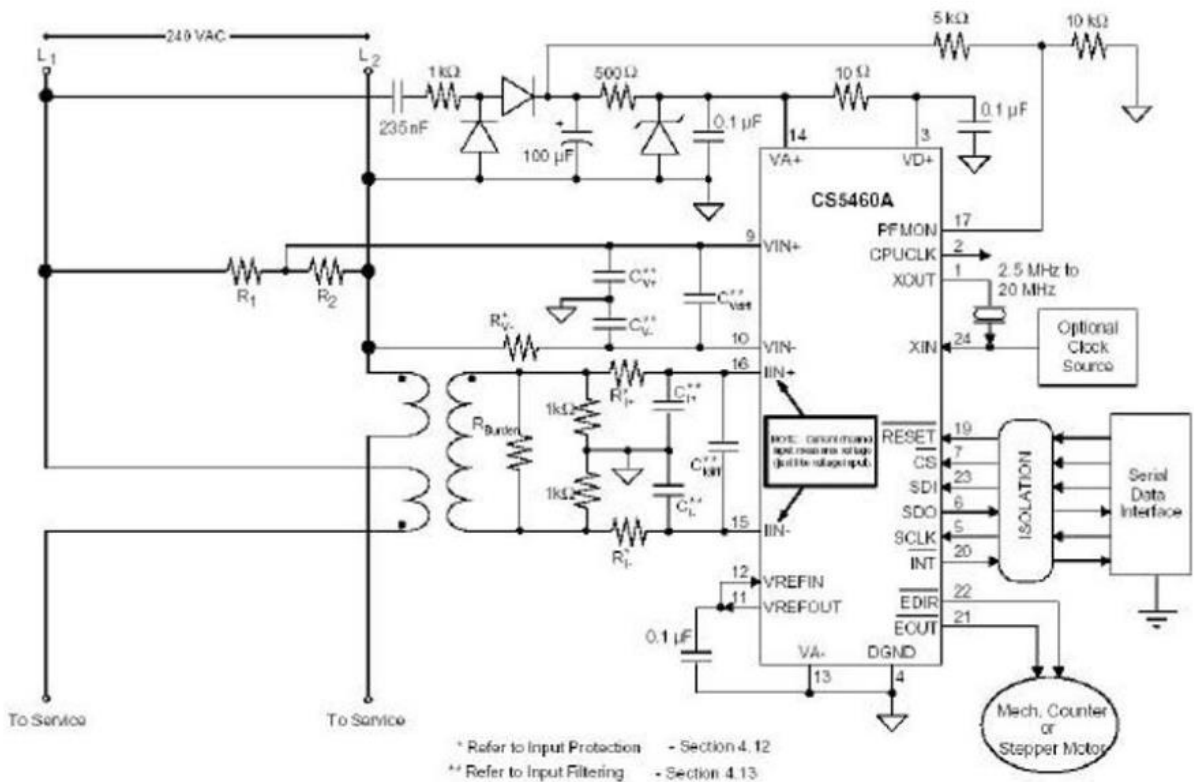


图9 典型连线图（单相3线、无中性点）

### 3.1.1 启动转换

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	0	C	0	0	0

本命令指示状态机开始获取测量和计算结果，有两种测量模式。

- C 采集/测量模式  
 0=执行单计算周期  
 1=执行连续计算周期

### 3.1.2 SYNC0 命令

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	1	1	1	0

本命令是串口重新初始化序列的结束部分，它也可以作为NOP 命令使用。通过连续输入3 个或更多的SYNC1 命令字然后输入一个SYNC0 命令字可以使串口重新同步到字节边界。

### 3.1.3 SYNC1 命令

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	1	1	1	1

本命令是串口重新初始化序列的一部分，它也可以作为NOP 命令。

### 3.1.4 上电/暂停命令

B7	B6	B5	B4	B3	B2	B1	B0
1	0	1	0	0	0	0	0

如果芯片进入掉电模式（等待或睡眠模式（见3.1.5）），本命令将使芯片上电。上电后，不进行转换/计算。如果芯片已通电且正运行于“单计算周期”或“连续计算周期”数据采集模式，则此命令将使所有计算暂停。

### 3.1.5 掉电控制

B7	B6	B5	B4	B3	B2	B1	B0
1	0	0	S1	S0	0	0	0

设备有两种掉电模式来节电。如果芯片处于等待模式(stand-by)，除了模拟/数字时钟发生器以外所有电路都被关闭。在睡眠模式(sleep)中，除了数字时钟发生器和指令解码器外，所有电路都关闭。由于重新启动模拟时钟信号并使其稳定需要时间，因此将CS5460A从睡眠状态中唤醒所用时间比从等待状态唤醒所用时间长。

- S1 , S0 掉电模式  
 00=保留  
 01=暂停并进入等待模式，这种模式允许快速上电。  
 10=暂停并进入睡眠模式，这种模式要求一个较长的上电时间。  
 11=保留

### 3.1.6 校准控制

B7	B6	B5	B4	B3	B2	B1	B0
1	1	0	V	1	R	G	0

芯片具有执行系统AC偏移量校准、DC偏移量校准、AC增益校准和DC增益校准的功能。用户可以单独校准电压通道、电流通道或者对两个通道同时校准，但偏移量校准和增益校准不能同时进行。具体使用时，如果进行了DC增益校准，则不应运行AC增益校准（反之亦然）。在执行校准操作前，用户必须给芯片提供适当的输入。

[V, I]	指定校准通道 00=禁止 01=校准电流通道 10=校准电压通道 11=电压通道，电流通道同时校准
R	指定AC校准（R=1）或DC校准（R=0）
G	指定增益校准 0=正常运行 1=执行增益校准
O	指定偏移量校准 0=正常运行 1=执行偏移量校准

唐山冠亚工控设备有限公司专业从事自动化仪器仪表的研发、生产及销售服务，同时推动国内外先进分析仪器在国内的应用。冠亚工控除具有专业的技术研发、营销体系外，还专门配备强有力的售后服务团队。从自动化仪表到工程施工成套，均能满足用户的需求。

冠亚工控倡导科技创新，所生产的气体分析系统可在线检测O<sub>2</sub>、CO<sub>2</sub>、CO、SO<sub>2</sub>、H<sub>2</sub>、H<sub>2</sub>S等多种气体含量。产品广泛应用于电力、化工、制药、冶金、水泥等工业现场，成功地解决了分析仪器与千差万别的生产工艺条件的匹配问题，对于高温、高粉尘、高水分、负压力、腐蚀性等恶劣气样条件有综合性的技术对策。

冠亚工控的其他自动化仪表（流量计、物位计、称重校验仪、炮泥检测仪等），请浏览公司网站[www.tsguanya.com](http://www.tsguanya.com)



**3.1.7 寄存器读/写命令**

B7	B6	B5	B4	B3	B2	B1	B0
0	W/ $\bar{R}$	RA4	RA3	RA2	RA1	RA0	0

该命令通知状态机需要对寄存器进行访问。读寄存器时，被寻址的寄存器中的数据被传送到输出缓冲器中由SCLK 移位输出。写寄存器时，数据由SCLK 移入输入缓冲器并在第24 个SCLK出现后写入被寻址的寄存器。

W/ $\bar{R}$       写/读控制  
 0=读寄存器  
 1=写寄存器

RA[4 : 0]    寄存器地址位，二进制编码为0 ~31 。所有寄存器都是24 位宽。

地址	名称	描述
00000	Config	配置寄存器
00001	I <sub>DCoff</sub>	电流通道直流偏移寄存器
00010	I <sub>gn</sub>	电流通道增益寄存器
00011	V <sub>DCoff</sub>	电压通道直流偏移寄存器
00100	V <sub>gn</sub>	电压通道增益寄存器
00101	Cycle Count	每个计算周期的A/D转换数
00110	Pulse-Rate	用于设置 $\overline{EOUT}$ 和 $\overline{EDIR}$ 上的能量-脉冲速率
00111	I	瞬时电流寄存器（最近一次电流采样）
01000	V	瞬时电压寄存器（最近一次电压采样）
01001	P	瞬时功率寄存器（最近一次功率采样）
01010	E	电能寄存器（最后一次计算周期的累计值）
01011	I <sub>RMS</sub>	电流有效值寄存器（最后一次计算周期的值）
01100	V <sub>RMS</sub>	电压有效值寄存器（最后一次计算周期的值）
01101	TBC	时基校准寄存器
01110	P <sub>Off</sub>	功率偏移量寄存器
01111	Status	状态寄存器
10000	I <sub>ACoff</sub>	电流通道交流偏移寄存器
10001	V <sub>ACoff</sub>	电压通道交流偏移寄存器
10010.	Res	保留 **
:	:	:
10111	Res	保留 **
11000	Res	保留 **
11001	Test	保留 **
11010	Mask	中断屏蔽寄存器
11011	Res	保留 **
11100	Ctrl	控制寄存器
11101	Res	保留 **
:	:	:
11111	Res	保留 **

\*\*这些寄存器只能在内部使用，不能被写入。

## 3.2 串行口接口

CS5460A 串口接口的从属方式使用包括2条控制线和2条数据线： $\overline{CS}$ 、SDI、SDO 和 SCLK。

$\overline{CS}$  片选（输入脚），允许访问串口的控制线。 $\overline{CS}$  为逻辑1 时，SDI、SDO 和 SCLK 输出将保持高阻抗。如果  $\overline{CS}$  为逻辑0，SDI、SDO 和 SCLK 具有如下特性：

- SDI** 串行数据输入(输入脚)，用于把用户的数据（如数据/命令/地址等）传输到CS5460A。
- SDO** 串行数据输出(输出脚)，用于从寄存器读出数据。
- SCLK** 串行时钟(输入脚)，控制数据移出或移入 A/D 转换器串行口的传输率。为了和光电耦合器相匹配，SCLK 的输入端集成了一个施密特触发器，以允许使用上升和下降时间较慢的光电耦合器直接驱动该引脚。另外，SDO 具有吸收或输出5mA 电流的能力，可以直接驱动光电耦合器的LED。在吸收或输出5mA 电流时，SDO 的驱动电压损失小于400mV。

## 3.3 串口读/写

状态机对收到的命令字进行译码。通过寄存器读/写命令，数据可被写入CS5460A或从CS5460A中读出。图1为从串口缓冲区读写的时序。如图9所示，数据的读/写通过向串口SDI 引脚写入相应的8位命令字（高位在前）来启动。需要注意的是，一些命令字的执行受周期计数寄存器和配置寄存器内容的影响，这就需要先对周期计数寄存器和配置寄存器内容进行正确设置。

### 3.3.1 寄存器写

当命令包含写操作时，串口将在下面24个SCLK周期对SDI引脚的数据（从高位开始）记录。寄存器写指令后必须跟24 位的数据，比如，写配置寄存器，应先写命令字（0X40）启动写操作，然后，随着24 个连续的串行时钟脉冲，CS5460A 将从串行输入引脚SDI 接收串行输入数据，一旦收到数据，状态机便将数据写入配置寄存器，然后等待下一个命令。

### 3.3.2 寄存器读

当启动了读命令，串口将在下8个、16个或24个SCLK周期启动SDO脚上的寄存器内容的转移（从高位开始）。寄存器读指令可以终止在8 位的边界上（例如，读出时可只读8，16 或24 位）。同样，数据寄存器读出允许采用“命令链”。因此读寄存器时，微控制器可同时发送新指令，新指令将被立即执行，并可能终止读操作。例如，命令字送入状态机读取某一输出寄存器，进行了16 个连续的读数据串行时钟脉冲后，执行写命令字（如状态寄存器清零命令），数据从SDI 引脚输入，同时剩下的8 位读出数据被传送到SDO 引脚。又如，用户仅需从读操作中获取16位有效位时，可在SDO 读出8位数据后从SDI输入第二个读命令。

在读周期，当从SDO 引脚输出数据时，必须用SYNC0指令（NOP）使SDI 引脚处于选通态。

## 3.4 系统初始化

任意时刻软件或硬件复位都可使系统初始化。软件复位是通过向配置寄存器的RS（系统复位）位写入逻辑1 来实现的，复位后该位自动恢复为逻辑0。在第32 个串行时钟SCLK（假设有8 位命令字和24 位的数据）结束后，芯片内部同步电路延迟3 或4 个DCLK（MCLK/K）后装载配置寄存器。然后，复位电路在MCLK 的第一个下降沿开始进行复位工作。

硬件复位是通过强制拉低 $\overline{RESET}$  引脚50ns以上来实现的。 $\overline{RESET}$  信号是异步的，不需要芯片用MCLK 来检测或存储复位事件。 $\overline{RESET}$  引脚设有施密特触发器，这就使它可接受慢边沿信号和带有噪声的控制信号（这种情况常见于系统掉电时）。一旦 $\overline{RESET}$  引脚处于无效状态后，内部复位电路还将保持5 个MCLK 周期有效，确保芯片中的同步电路被复位。当 $\overline{RESET}$  引脚无效后，调制器要保持12 个MCLK 周期的复位状态。软件或硬件复位后，内部寄存器（其中一些驱动输出引脚）在复位后的第1 个MCLK 被置为缺省值（见表3），CS5460A 处于命令模式，在串口等待有效命令。关于表3所列寄存器的详细描述，读者可参考第5节。



配置寄存器:	0x000001
偏移量寄存器:	0x000000
增益寄存器:	0x400000
脉冲-速率寄存器:	0x0FA000
周期计数寄存器:	0x000FA0
时基寄存器:	0x800000
状态寄存器:	(见第5节)
屏蔽寄存器:	0x000000
控制寄存器:	0x000000
交流电流偏移寄存器:	0x000000
交流电压偏移寄存器:	0x000000
功率偏移量寄存器:	0x000000
所有数据寄存器:	0x000000
所有无符号数据寄存器:	0x000000

表 3. 复位后寄存器缺省值

### 3.5 串口初始化

串口与SCLK不同步是有可能的。一旦发生这种情况,任何输入CS5460A的有效指令或者不会产生动作或者产生错误动作,因为CS5460A不能正确解释输入的命令字。此时需重新初始化串口,可用以下几种方法:

- 1) CS5460A上电, (若已上电, 重新启动)
- 2) 硬件复位
- 3) 向串口发初始化序列, 该序列包括3个(或更多)个时钟周期的SYNC1命令字(0xFF), 紧跟着一个时钟周期的SYNC0命令字(0xFE)。

### 3.6 CS5460A 上电状态

CS5460A上电后进入有效状态(不在睡眠状态或等待状态中)。下列操作可保证CS5460A工作在有效状态:

- 1) CS5460A上电, (若已上电, 重新启动)
- 2) 硬件复位
- 3) 软件复位

除了以上3种方法, 当芯片工作在睡眠状态或等待状态时, 将其唤醒的指令(上电/暂停)同样可使芯片进入有效状态。需注意的是用户必须确保串口已经初始化过, 才能对芯片加入上电/暂停命令。因此, 若要保证能够唤醒CS5460A, 必须在对芯片加入上电/暂停命令前对串口初始化。

对于睡眠状态和等待状态, 可见3.1节的掉电命令。

## 4. 功能描述

### 4.1 脉冲-速率输出

$\overline{EOUT}$  和  $\overline{EDIR}$  引脚提供了一个能累积能量代数值简单接口的, 它可代替串行口去读取有功能量。每个  $\overline{EOUT}$  脉冲都代表了一定数量的电能, 这一数量可通过调整脉冲-速率寄存器的值来改变,  $\overline{EDIR}$  信号则表示电能的方向。需注意这些脉冲不受周期计算寄存器的影响, 也不依赖于计算周期。当  $MCLK=4.096MHz$ ,  $K=1$ , 且电压通道和电流通道的输入电平使瞬时电压和瞬时电流寄存器满量程时, 脉冲的平均频率等于脉冲-速率寄存器中设定的频率。当  $MCLK/K \neq 4.096MHz$ , 则脉冲的平均频率等于  $MCLK/K=4.096MHz$  时脉冲的平均频率乘以  $4.096MHz/(MCLK/K)$ 。

示例 #1: 假设电源线上的电压有效值和电流有效值分别为220V、15A (注意其最大额定值分别为250V、20A),  $\overline{EOUT}$  引脚的脉冲频率为  $IR=$  每秒100个脉冲(100Hz)。同时假设CS5460A的电压/电流通道的已经校准, 此时250mV的直流电平将使瞬时电压/电流寄存器和电压/电流有效值寄存器读数都为1.0 (满量程), 我们希望找到写入CS5460A的脉冲-速率寄存器的频率值(称为PR值)以满足以上要求。第一步应设置电压和电流的传感器的增益常数  $K_V$  和  $K_I$ , 以便当电源线的电压和电流值为最大值250V/20A时, 可以满足其输入电压等级。我们计算  $K_V$  和  $K_I$  的目的是确定用于前端电压/电流传感器网络的合适的电压/电流互感器的变比和/或分流器电阻值。

这里假设我们所用的电源是正弦交流信号, 对正弦波, 可精确测量的有效值为峰值的0.7071 (输入不过载)。由于实际功率信号不能完全符合正弦曲线, 为预防数值超量程, 当电源线电压和电源线电流的有效值分别为250V和20A时, 我们需要将电压有效值和电流有效值寄存器设置为0.6。因此当RMS寄存器的值设置为0.6时, 输入电平为  $0.6 \times 250=150mV$ 。现在我们就可以得到传感器增益常数  $K_V$  和  $K_I$  的值, 当电源线电压/电流为最大值250V和20A时, 电压/电流通道的输入将为150mV有效值。

$$K_V = 150mV/250V = 0.0006$$

$$K_I = 150mV/20A = 0.0075 \Omega$$

这些常数将确定互感器或电阻分压器的比率。



利用这些增益常数可以计算出当电源线电压和电源线电流分别为220V 和15A 时的输入电平, 定义为 $V_{V\ nom}$  和 $V_{I\ nom}$ 。

$$V_{V\ nom} = K_V * 220V = 132mV$$

$$V_{I\ nom} = K_I * 15A = 112.5mV$$

当输入电压/电流的有效值电平为250mV 时,  $\overline{EOUT}$  引脚的脉冲速率为每秒'PR'个脉冲。当电压/电流输入设为 $V_{V\ nom}$  和 $V_{I\ nom}$  时, 若期望脉冲速率为'IR'=每秒100 个脉冲, 而IR 为PR 乘以一个比值, 这个比值等于 $V_{V\ nom}/250mV$  和 $V_{I\ nom}/250mV$  的乘积, 具体的算法如下:

$$Pulserate=IR=PR * \frac{V_{VNOM}}{250mV} * \frac{V_{INOM}}{250mV}$$

重新排列上面等式可以求出PR, 这就是将放到脉冲-速率寄存器的值。

$$PR = \frac{IR}{\frac{V_{VNOM}}{250mV} * \frac{V_{INOM}}{250mV}} = \frac{100HZ}{\frac{132mV}{250mV} * \frac{112.5mV}{250mV}}$$

因此我们设置脉冲速率寄存器为约420.875Hz, 则其值为0X00349C。上面的等式适用于当电流通道增益为X10时, 当电流通道增益为X50 时, 等式变为:

$$PR = \frac{IR}{\frac{V_{VNOM}}{250mV} * \frac{V_{INOM}}{250mV}}$$

这里假设电流通道已经被校准, 即当IIN+ 和IIN- 引脚的输入电压为直流50mV 时, 电流寄存器的读数为满量程。

**示例 #2:** 当给定的最大电源线电压为250V (RMS), 最大电源线电流为20A (RMS) 时, 假设我们不想在特定的电压/电流值输出指定频率的脉冲, 而希望用单位电能代表一定的脉冲数并由 $\overline{EOUT}$  发出。比如, 用500 个脉冲代表一个千瓦时 (KW-Hr), 在这种情况下, 额定电源线电压电源线电流并不决定脉冲速率的设定值, 必须要考虑的是最大电源线电压和电源线电流的值。和以前一样, 用最大电源线电压和电源线电流的值可以得出 $K_V$  和 $K_I$  的值:

$$K_V = 150mV/250V = 0.0006$$

$$K_I = 150mV/20A = 0.0075 \Omega$$

这样我们又可以算出传感器的增益, 最大电源线电压和电源线电流对应电压有效值和电流有效

值寄存器的值为0.6。我们可以用下面公式计算出脉冲速率寄存器的设定值:

$$PR = 500 \frac{pulses}{kW * hr} * \frac{1hr}{3600s} * \frac{1kW}{1000W} * \frac{250mV}{K_V} * \frac{2500mV}{K_I}$$

因此,  $PR = \sim 1.929Hz$ 。

需要注意的是, 脉冲速率寄存器的值不能被精确地设置为1.929Hz, 最接近的设置为0X0003E = 1.9375。为提高精度, 所有增益寄存器都可编程, 以校正PR 产生的舍入误差。此值可计算如下:

$$Ign\ or\ Vgn = \frac{PR}{1.929} \cong 1.00441 = 0X404830$$

在示例2中, 若MCLK/K不等于4.096MHZ, 比如设计时MCLK/K需为3.05856MHZ, 则脉冲速率寄存器的'PR' 值需乘以校正系数4.096MHZ/(MCLK/K), 在此即4.096/3.05856, 则最终的PR值为约2.583HZ。

## 4.2 常规模式、步进电机模式和机械计度器模式的脉冲输出

$\overline{EOUT}$  和 $\overline{EDIR}$  的输出可设置为三种不同的输出模式。缺省设置为常规模式, 而设置为其它两种模式时,  $\overline{EOUT}$  和 $\overline{EDIR}$  脉冲的持续时间和/或相关时序将会增加/改变从而驱动电子-机械计度器模式或步进电机模式。 $\overline{EOUT}$  和 $\overline{EDIR}$  的输出可直接驱动某些低压/低功耗计数器/步进电机, 这取决于计数器/电机所要求的驱动电流和电压。具体模式是由设定控制寄存器中的某些位来选择的。

### 4.2.1 常规模式

参考“第5节, 寄存器描述”中对控制寄存器的描述。如果MECH=0, STEP=0, 则 $\overline{EOUT}$  和 $\overline{EDIR}$  的脉冲输出见图10, 低电平有效的宽度很窄, 为MCLK周期的整数倍, 约为脉冲-速率寄存器确定的周期值的1/16。但当脉冲-速率寄存器的值小于采样频率([MCLK/k]/1024) 时, 脉宽为一个常数, 等于脉冲速率寄存器设为(MCLK/K)/1024时的脉宽。因此 $\overline{EOUT}$  的最大脉冲频率为MCLK/K/16。当电能为正时,  $\overline{EDIR}$  一直为高, 当电能为负时,  $\overline{EDIR}$  的输出和 $\overline{EOUT}$  一样。如果MCLK/K 不等于4.096MHZ, 用户可先按4.096MHZ计算脉冲速率, 再乘以系数(MCLK/K)/4.096MHZ。

当设置为常规模式时，脉冲将根据脉冲速率寄存器的值和最近的A/D采样周期后CS5460存储的电能值输出脉冲串，A/D采样周期(HZ)为： $1/[(MCLK/K)/1024]$ 。当前的电能累加值存放在CS5460A的一个内部寄存器中(不能被用户访问)。若寄存器内的电能累加值在最近的A/D采样周期后大于或等于一个脉冲代表的电能，则CS5460A在EOUT上输出一个或多个脉冲(也可能在EDIR上)。CS5460A将发出尽可能多的脉冲减少寄存器的数值，使寄存器的值小于单个脉冲所代表的电能值。若最近的采样周期的电能值比单个脉冲所代表的电能值大，则会发出一个脉冲串，那么下一个周期可能没有脉冲，直到下一次A/D采样完成。脉冲或脉冲串发出后，寄存器内仍会留有电能的余数，其值小于单个脉冲代表的电能值。此时，该余数不会丢失或删除，将累加入下一次A/D转换周期中。脉冲速率寄存器的值越小，单个脉冲代表的电能值越大，因此寄存器内的余数值越大。

**4.2.2 机械计度器模式**

设定控制寄存器中的MECH=1，STEP=0，

$\overline{EOUT}$  和  $\overline{EDIR}$  引脚将输出较宽的步进脉冲以驱动机械计度器或类似芯片。该模式下，当MCLK/K为4.096MHz，K=1时，低电平有效脉冲的宽度为128ms。电能为正时，脉冲出现在 $\overline{EOUT}$ ，电能为负时，脉冲出现在 $\overline{EDIR}$ 。用户要确保脉冲的周期高于128ms且不低于机械计度器允许的最快时间，这就需要将脉冲速率寄存器设置为合适的值，因为这种模式下脉冲的宽度被设定为128ms，因此最大脉冲输出频率被限制在~7.8Hz(见图11)。如果MCLK/K不等于4.096MHz，则低电平脉冲的宽度为  $(128 * 4.096MHz) / (MCLK/K)$  毫秒。

**4.2.3 步进电机模式**

设定控制寄存器中的MECH=0，STEP=1，使 $\overline{EOUT}$  和  $\overline{EDIR}$  引脚具有驱动步进电机的相位输出。当一个电能脉冲出现时，一个引脚的输出状态发生变化。当另一个电能脉冲出现时，另一个引脚的输出状态发生变化。电机的转向由状态变化的顺序决定。当电能为正时， $\overline{EOUT}$  超前于 $\overline{EDIR}$ 约1/4周期；为负时， $\overline{EDIR}$  同样超前 $\overline{EOUT}$ (见图12)。

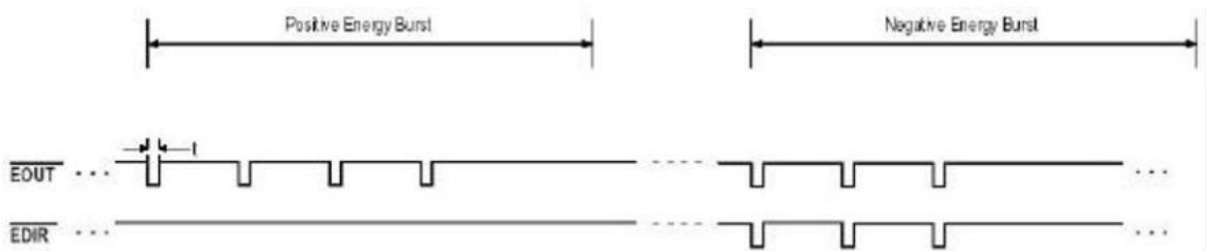


图10 典型脉冲串输出时序图(常规模式)

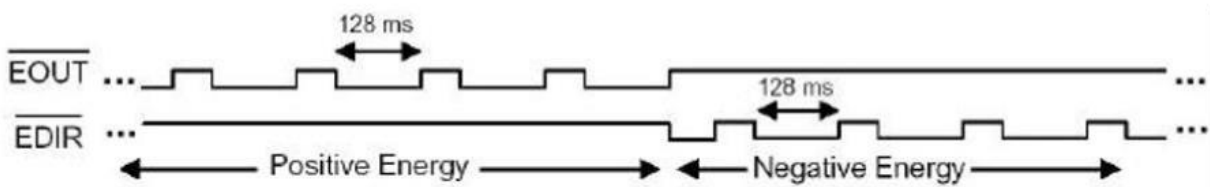


图11 机械计数器模式下的EOUT和EDIR

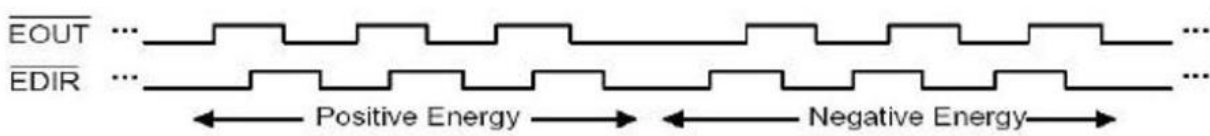


图12 步进电机驱动器模式下的EOUT和ED



### 4.3 使用 EEPROM 的自引导模式

CS5460A 有一个MODE 引脚，当该引脚为逻辑低电平时，芯片处于常规操作模式，称为“主模式”，在此模式下，芯片执行一些常规操作（如上述）；而当该引脚为逻辑高电平时，芯片则处于自引导模式。在自引导模式中，CS5460A 要从外部串行存储器中下载数据，下载数据的启动由复位引脚  $\overline{RESET}$  控制，当  $\overline{RESET}$  由逻辑低电平变为高电平后下载开始。自引导模式下CS5460A 可单独运行，无需外接微控制器。当MODE 引脚悬空时，因为内部有下拉电路，故此时MODE 为逻辑低。

#### 4.3.1 自引导结构

图13 为CS5460A 和EEPROM 的典型连接图。该模式中， $\overline{CS}$  和SCLK 为输出驱动引脚，SDO 始终为输出。在自引导期间，CS5460A 使  $\overline{CS}$  为低，由SCLK 引脚提供时钟，在SDO 引脚输出命令，从SDI 引脚接收EEPROM 数据。串行EEPROM 需要由用户指定的命令和寄存器数据来编程，这些数据用来修改一些CS5460A 寄存器的缺省值并开始转换。

图13还描述了外部校准装置的连接方法，用作PC 机或用户校准板。校准器用来控制校准和/或将用户指定的命令和校准数据写入EEPROM。用户指定的命令/数据将确定CS5460A的在自引导初始化完成后正确动作。

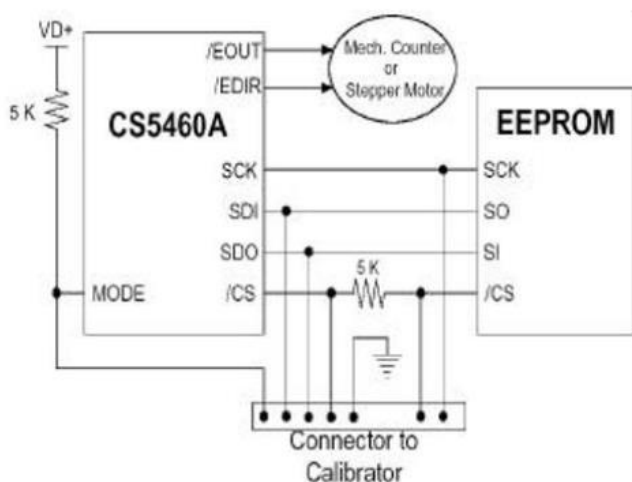


图13 EEPROM和CS5460A的典型接口

#### 4.3.2 EEPROM 的自引导数据

本节说明了自引导过程的典型数据。这些数据将由用户写入EEPROM。在下列的时序中，首先对

EEPROM编程，使其能够发出写入CS5460A的校准寄存器的命令，接着写入脉冲速率寄存器的值，同时去除屏蔽寄存器中‘LSD’位的屏蔽。最后，EEPROM的代码初始化为‘连续计算周期 数据采集模式并选择一种脉冲输出格式（如设置控制寄存器中的MECH位）。串行数据序列由单字节十六进制数表示如下：

40 00 00 61	在配置寄存器中，开通高通滤波器，设置K=1
44 7F C4 A9	写0x7FC4A9 值到电流通道增益寄存器
46 7F B2 53	写0x7FB253 值到电压通道DC 偏移量寄存器
4C 00 00 14	设置脉冲速率寄存器为0.625Hz
74 00 00 04	去除屏蔽寄存器的“LSD”位（第2位）的屏蔽
E8	启动连续计算周期
78 00 01 40	写控制寄存器的STOP位，中止自引导初始化序列，设置 $\overline{EOUT}$ 输出脉冲为机械计度器模式

在自引导期间，从EEPROM 移出的数据将驱动CS5460A 的SDI 引脚。

有以下用户动作可使CS5460A 进入自引导模式（简单时序见图14）：如果MODE引脚设为1（或MODE引脚在CS5460A 上电时或上电完成后置为1或与高电平相连），复位引脚（ $\overline{RESET}$ ）由逻辑低电平变为高电平后，CS5460A 将使  $\overline{CS}$  置低，并且从SDO 线输出标准块读命令。当这些动作完成后，CS5460A继续发出SCLK脉冲，接收来自EEPROM 的数据/命令。串口成为一个主态接口。更详细的时序图可在本手册的“开关特性”一节中找到。

#### 4.3.3 可用的 EEPROM

一些符合工业标准的串口EEPROM 芯片可用于CS5460A 来完成自引导，这些芯片如下：

RAMTRON（铁电存储器）	24C04
	24C16
ATMEL	AT25010
	AT25020
	AT25040



这几种串行EEPROM 在下载数据前需要先输入8 位命令字（00000011 ），CS5460A 已被硬件编程为在自引导过程开始时发出这8 位的命令字。

当给CS5460A 的控制寄存器的STOP 位写入1 时可使自引导过程终止，这即是EEPROM 命令序列的最后一个被执行命令，此后，SCLK 停止，CS 升高，并使串行EEPROM 处于低功耗状态。串口工作在从模式，CS5460A的寄存器可通过外部芯片读出，如通过总线接口连接到测量组件上的中央控制器。

当STOP 位被置位，CS5460A 将继续执行由EEPROM 装入的命令。如上例，启动转换命令（0xE8 ）从EEPROM 装入CS5460A ，在STOP 位被置位后，CS5460A 将继续执行连续A/D转换。自引导复位发生在节电/断电期间。

电源线由于电厂或其它原因（如地线故障、电气扰动等）可能处于断电状态。此时对于测量组件来说，正确复位是非常重要的，这样可保证电源恢复后芯片继续正常工作。当CS5460A由单片机控制时，通常会有专门的程序实现断电后的复位过程。在自引导模式下，CS5460A可在电源恢复后重新进入自引导过程复位。图15所示为用于确保断电后CS5460A重新启动自引导过程的RESET和INT引脚电路。该电路使用了一个二极管、一个电阻和一个电容使芯片突然断电又恢复后重新复位。

以上自引导示例的代码（见4.3.2节）中LSD位未被屏蔽，这是为了保证当PFMON引脚上的电压达到PFMON的低电压阈值时，INT引脚的电压发生由高至低的跳变。若PFMON检测到电源掉电，则INT引脚变为低电平（LSD未被屏蔽），这使得C<sub>BOOT</sub>

电容可通过二极管BAT85迅速放电。当+5V电源恢复后，RESET引脚上的电阻和电容将使引脚电压缓慢上升，从而有足够的时间使芯片在重新启动自引导过程前让振荡器电路和内部参考电路稳定。这样CS5460A在断电后可恢复正常的测量功能，注意用户需为PFMON引脚选择合适的电阻分压器（见图15）。使用该电路并不保证对任何电源的扰动都可使CS5460A正确复位。

除了以上描述的电路，还应在VA+/VA-引脚接上同样大小的电容，它们将增加电源掉电后CS5460A保持工作的时间，从而增加电源恢复后芯片重新正确启动的可能。单个电容的值可选>47uF，两个电容值的和可选>100uF。

## 4.4 中断和看门狗

### 4.4.1 中断

INT 引脚用来通知CS5460A发生了某些值得注意的事件，这些事件包括芯片运行的状态和内部故障状态。状态寄存器与屏蔽寄存器组合将产生INT 信号，当状态寄存器的某位有效，并且屏蔽寄存器相应的位是逻辑1 ，INT 信号被激活；当状态寄存器的这一位恢复为无效时，中断状态被清除。

#### 4.4.1.1 清除状态寄存器

与其它的寄存器不同，状态寄存器的位只能被清除（设置为逻辑0 ）。当向状态寄存器写入字时，字中的任何1 都可以清除状态寄存器相应的位，而其它位保持不变。这可以在不清楚其它位的状态的情况下，清除特定位。这种机制方便了交互处理，并将丢失尚未处理事件的危险性降到最低。

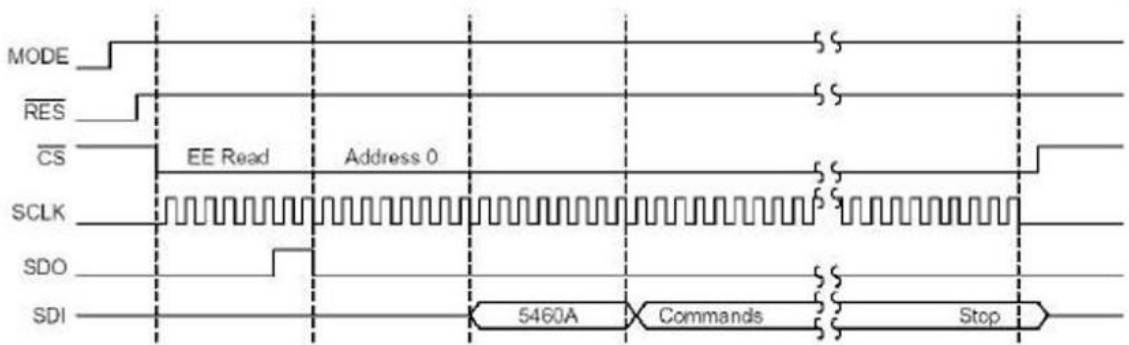


图 14 自引导过程的时序图

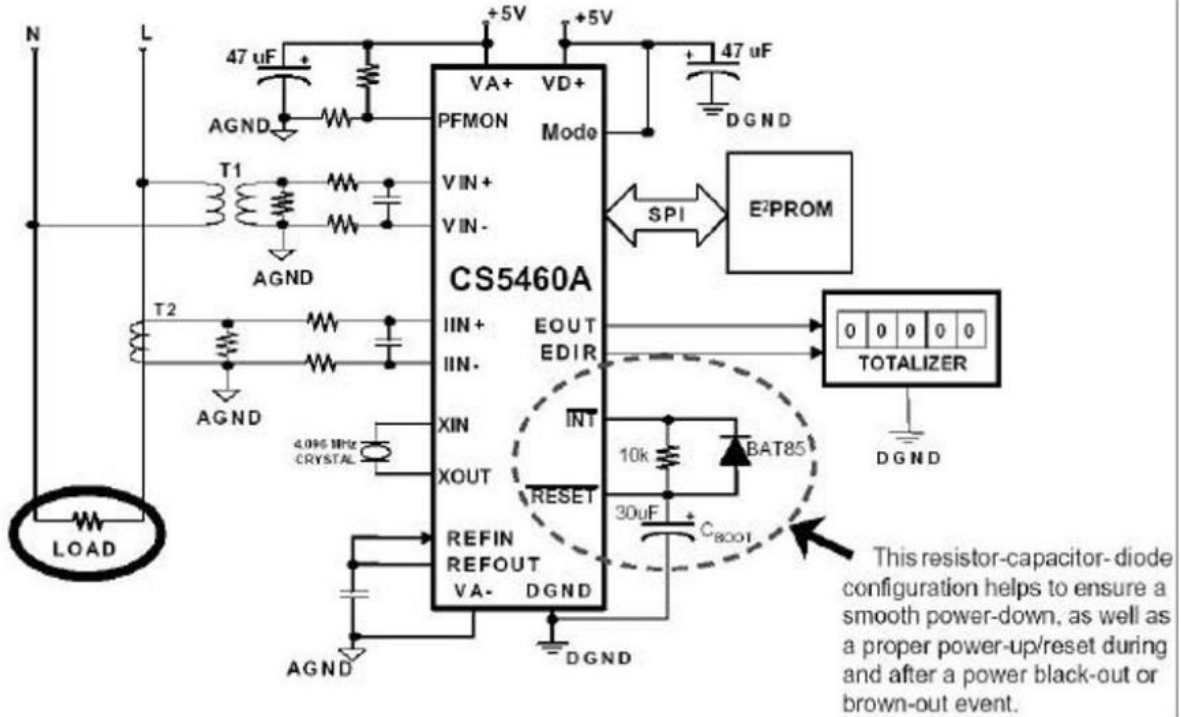


图15 CS5460A自引导配置：掉电后自动重启

#### 4.4.1.2 $\overline{INT}$ 引脚的典型应用

下面步骤说明如何处理中断。

■ 初始化:

- 步骤I0 — 向状态寄存器写FFFFFF (16进制), 清除所有状态位
- 步骤I1 — 向屏蔽寄存器中允许产生中断的中断条件位写逻辑1
- 步骤I3 — 开启中断

■ 中断处理过程:

- 步骤H0 — 读状态寄存器
- 步骤H1 — 禁止所有中断
- 步骤H2 — 转向相应的中断处理程序
- 步骤H3 — 将H0步骤读出的值写回以清除状态寄存器
- 步骤H4 — 重新开中断
- 步骤H5 — 从中断处理程序中返回

这个交互处理过程保证了在H0步骤~H3步骤间发生的新中断不会被H3步骤丢失(清除)。

#### 4.4.1.3 $\overline{INT}$ 引脚的有效状态

$\overline{INT}$  的有效状态由配置寄存器的SI1、SI0两位控制, 引脚的有效状态可以被设定为低电平(缺

省)、高电平、上升沿和下降沿四种。若中断输出信号格式设为高电平有效或低电平有效, 则当状态寄存器的相应位恢复为无效状态后, 中断条件被清除。当设置为上升沿或下降沿时, INT脉冲宽度至少应为MCLK/K个周期, 虽然某些情况下, 脉宽可能有2MCLK/K个周期。

#### 4.4.1.4 异常

状态寄存器的 $\overline{IC}$ 位(无效命令)只能在端口初始化时清除,  $\overline{IC}$ 位也是唯一低电平有效的状态寄存器位。

正确清除状态寄存器WDT位(看门狗定时器), 必须先读取能量寄存器, 然后清除状态寄存器的WDT位。

#### 4.4.2 看门狗定时器

看门狗定时器(WDT)的功能是通知系统CS5460A与微处理器的通讯存在潜在的故障。通过允许WDT产生中断, 微控制器可以从跑飞状态返回正常的代码空间, 读取转换器的数据。超时时间被编程为大约5秒。每次能量寄存器被读取, 计数器都重新启动。在典型情况下, 每秒能量寄存器读取一次, 因此, WDT不会超时。在将看门狗用在其他方面时, 必须能够保证能量寄存器至少每5秒读取一次。



### 4.5 晶体振荡器特性

XIN 和XOUT 分别是用于产生振荡的反向放大器的输入和输出，用作片上振荡器，如图16 所示。振荡器电路通过外接一个石英晶振或陶瓷谐振器工作。为了降低电路成本，芯片内部集成有两个负载电容器C1，一个在XIN 与DGND 之间，一个在XOUT 与DGND 之间。引线长度应尽量缩短以减少寄生电容。因为集成了负载电容，振荡器电路的振荡频率在电源为+5V时可以达到20MHz，+3.3V时可达到5MHz。

如果由外部时钟源驱动芯片，XOUT 应该悬空，外部电路直接驱动XIN。在XIN 和数字电路之间有一个提供CMOS 电平的放大器，其在正弦输入时仍可工作，所以不存在输入边沿缓慢的问题。

CS5460A 可以由2.5 ~20MHz 范围的时钟驱动。用户应适当设置分频比K，以确保MCLK/ K 处于2.5MHz 到5MHz 之间。分频比K由配置寄存器的K [3:0] 位决定。比如，若XIN=MCLK=15MHz，K 被设定为5，则DCLK为3MHz，这个值正好处于2.5MHz 到5MHz之间。注意当K [3:0] 位为全0 时，分频比K 为16。

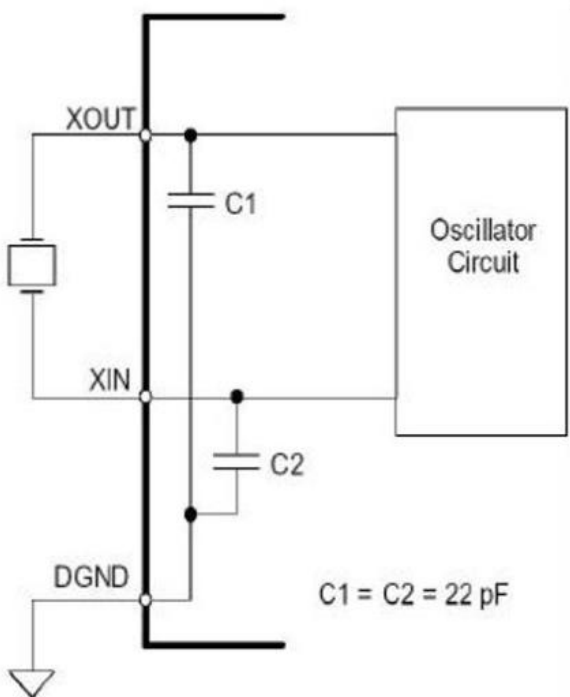


图16 晶振连接图

### 4.6 模拟输入

CS5460A 的输入通道差模输入电压满量程都是±250mV<sub>RMS</sub>（若电流通道的PGA设置为50X，则电流通道的满量程差模输入电压为±50mV）。

系统校准通过在规定范围内设定校准寄存器值来增加或减少转换器量程范围。详见“4.8校准”部分。

### 4.7 参考电压

CS5460A 规定VREFIN 和VA-间所用参考电压为+2.5V。参考电压必须加在VREFIN引脚上以保证两个ADC能够正常工作。

将VREFIN 和VREFOUT 连起来就可以使用转换器内部的2.5V 参考电压。

现在描述VREFOUT 的温度系数规格。CS5460A的典型的VREFOUT电压与温度特性见图17。该曲线为一条开口向下的抛物线。CS5460A的任一T<sub>VREFOUT</sub>都可由该曲线获得。可以利用该曲线画出两条直线，一条将T= -40℃时曲线上的点与抛物线顶点相连，另一条将T=80℃时曲线上的点与抛物线顶点相连，分别计算这两条直线的斜率（单位ppm/℃），较高的斜率就是VREFOUT 的温度系数。

CS5460A的VREFOUT 的温度系数典型值为25 ppm/℃，最大值为60 ppm/℃，但该最大值未经证实。若需更高的精度/温度，可外接参考电源，此时VREFOUT不接。

在某些场合，设计人员希望表征芯片在整个温度范围内的电能读数漂移，而不是参考电压的漂移。“芯片电能读数漂移温度系数” T<sub>Edevice</sub>可按照IEC 1036/687标准中有关温度系数的要求定义。[此处，T<sub>Edevice</sub>定义为CS5460A的户外测量时的工作温度范围（见IEC1036,4.3.1节）的最大“平均温度系数”（见IEC1036,4.6.4节）。T<sub>Edevice</sub>使用芯片的电能读数漂移与温度特性曲线，而不是VREFOUT电压与温度特性，该曲线表明了芯片在工作温度范围的电能读数漂移，使用芯片的电能—脉冲转换或电能寄存器的读数。该曲线与图17的曲线形状上很相似。T<sub>Edevice</sub>的值定义为曲线上符合条件的任意两点所连直线斜率的最大值，这两点需符合两个条件：(1).两点之间温度值相差20℃；(2).温度值的中点位于T=-25℃和T=+60℃之间。



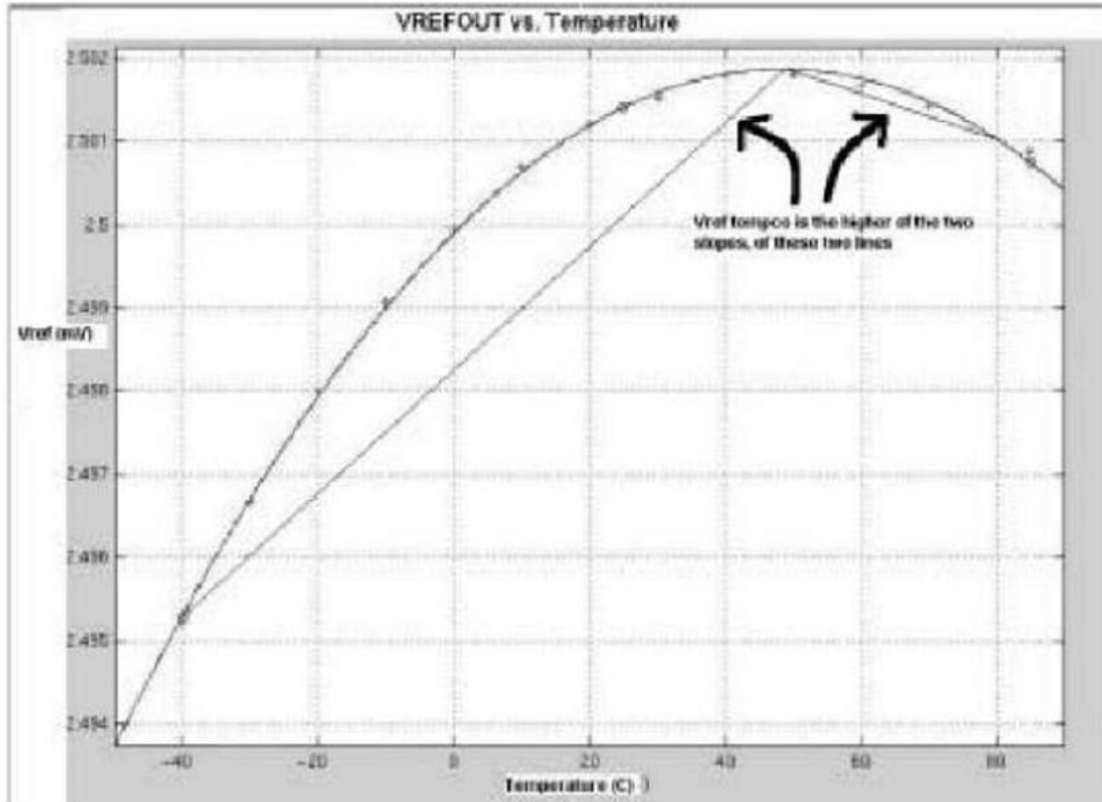


图 17 CS5460A 的 VREFOUT 电压与温度特性

## 4.8 校准

### 4.8.1 校准过程概述

CS5460A 提供了数字校准。用户通过设置校准命令字中的相应位来决定执行那种校准。对于电压和电流通道，都有 AC 和 DC 校准。不管是那种校准都有两种模式：系统偏移量校准和系统增益校准。用户必须提供地和满量程的信号才能进行系统校准。无论是 AC 还是 DC 校准，用户都必须提供正的满量程信号以完成系统增益校准以及参考地电平以完成系统偏移量校准。

AC 与 DC 校准不同。视应用的场合和要求的精度不同，某些或全部校准的程序可不必进行。为便于读者了解每一校准程序的功能，首先定义 CS5460A 内的各校准寄存器。

### 4.8.2 校准寄存器

参见图3与图25。

电压通道 DC 偏移量寄存器和电流通道 DC 偏移量寄存器——存储进行加法运算的校正值，用于校正当前的电压/电流通道的直流偏移量。当直流偏移量校准过程结束后，寄存器值由 CS5460A 更新。

电压通道增益寄存器和电流通道增益寄存器——存储进行乘法运算的校正值，该值由加在电压/电流通道的满量程增益校准信号确定。该寄存器在交流或直流增益校准后由 CS5460A 进行更新。

电压通道 AC 偏移量寄存器和电流通道 AC 偏移量寄存器——存储进行加法运算的校正值，用于电压/电流通道的交流偏移量校正。因为虽然噪声信号平均值为 0，但其有效值可能不为 0，因此有可能使 CS5460A 的  $I_{RMS}$  和  $V_{RMS}$  的值出现偏移。该寄存器在交流偏移量校准后由 CS5460A 更新。

由图3可知，AC 偏移量寄存器对输出结果的影响与 DC 偏移量寄存器不同。直流偏移量的值在信号通道的更前端就加入电压/电流信号，因此 DC 偏移量寄存器的值将影响 CS5460A 的所有结果。对于交流偏移量校正则并非如此。AC 偏移量寄存器的值只影响电压有效值/电流有效值计算的结果。

由图3可知，电压/电流通道都分别具有 AC 和 DC 偏移量校准寄存器。增益校准则不同，每个通道只有一个增益寄存器，AC 和 DC 的增益校准结果存放在同一寄存器中。增益校准寄存器中的校准结果只能反映 AC 和 DC 增益校准结果中最新的一次。这将意味着 AC 和 DC 偏移量数据可同时加入电压电流通道，但增益校准数据只有一个可加到通



道中。因此用户在校准以前必须决定执行AC增益校准还是DC增益校准，因为AC和DC增益校准只能取其一。

总之，对于电压和电流通道，交流偏移量校准过程与直流偏移量校准过程有完全不同的功能，而交流增益校准过程和直流增益校准过程执行同样的功能（但所用的技术不同）。

由于电压和电流通道具有各自的偏移量和增益寄存器，系统偏移量或系统增益校准可分别进行，互不影响。

#### 4.8.3 校准程序

1. 在进行校准程序之前，CS5460A必须处于有效状态，准备通过SPI口接收有效命令。用户可以清除状态寄存器内的‘DRDY’位。
2. 将适当的校准信号输入到电压/电流通道（下文将讨论校准程序中的适当校准信号，见4.8.4和4.8.5节）
3. 发送相应的校准命令到CS5460A串口。校准命令为8位命令，对其中各位的不同设置指定了不同的校准（比如电压通道AC增益校准、电流通道DC偏移量校准等），用户必须正确设置需要进行的校准命令。
4. 当CS5460A完成内部校准并将结果存入相应的校准寄存器后，状态寄存器内的DRDY位被置位，指示校准完成。若有必要，此时可通过串口从相应的增益/偏移量寄存器中读出校准值。

当校准命令已发送给CS5460A，芯片不能进行A/D转换。若CS5460A正在执行连续计算周期数据采集模式（C=1）的A/D转换/计算，用户需先发出上电/暂停命令以中止A/D转换/计算。若CS5460A正在执行单计算周期数据采集模式（C=0）的A/D转换/计算，用户可以先发出上电/暂停命令以中止A/D转换/计算或在进行校准前等待计算周期完成。当芯片处于某种采集模式中，校准程序不能执行。

#### 4.8.4 校准信号输入电平

对于电压和电流通道，用户进行校准时加入的差模电压应在指定电压范围内（见第1节特性与规格中的“差模输入电压范围”）。电压通道中的差模电压峰值不能超过 $\pm 250\text{mv}$ ，对于电流通道，当PGA增益设为10X时与此相同，当PGA增益设为50X时，电流通道输入电压不应超过 $\pm 50\text{mv}$ 。对于

交流和直流增益校准，对电压/电流通道的增益校准输入信号分别有有效值电平限制和直流电平限制。增益寄存器的最大值为4。因此若通道的增益校准电压太低，使CS5460A设置增益寄存器的值超过4，则增益校准结果无效。在此之后的AD转换过程中的结果均无效。

#### 4.8.5 校准信号频率

校准信号的频率应低于1kHz（假设MCLK/K=4.096MHz, K=1）。最理想的校准信号频率应与所测量电源供电的基频相同。

#### 4.8.6 校准的输入电路

图18所示为增益校准的基本电路结构。若需进行直流增益校准，用户应加正的直流电压，电压值应为输入瞬态电压的最大峰值。但在许多实际的测量中，可能会使用交流信号校准而不使用直流信号校准。若用户确定进行交流信号校准，用户应施加具有最大有效值的交流参考信号。电压/电流波形近似于正弦波，因此用户在设置交流增益校准的输入信号有效值时会明显低于电压/电流通道的最大直流电压输入值，这样才能避免交流峰值超过电压/电流的A/D转换有效范围。例如，若电压通道增益寄存器校准前设为上电后的缺省值1.000...，则正弦波的最大有效值为电压通道最大直流输入电压 $\pm 250\text{mv}$ 的约0.7071倍，即约为176.78mv。但在实际应用场合中，用户采用的交流增益校准信号的有效值输入电压可能更低，以适应更大的电压范围，为此，通常可取0.6，则对于电压通道，正弦波的最大有效值为 $0.6 \times 250\text{mv} = 150\text{mv}$ 。

偏移量校准中，交直流校准信号是一样的，只需将电压/电流通道的正负引脚接地(见图19)。

使用时不应同时进行偏移量校准和增益校准，否则会引起不符合要求的计算结果。

#### 4.8.7 校准算法

图20为交流/直流偏移量和增益校准算法示意图。该图适用于电压和电流两个通道，以下关于校准算法的描述将以电压通道为例，但同样适用于电流通道。

注意：假设进行增益校准前，电压/电流通道的增益寄存器值为缺省值（1.0），AC/DC偏移量寄存器值为缺省值0。这可通过对芯片的软硬件复位完成。电压/电流校准寄存器的值不影响校准程序的结果。



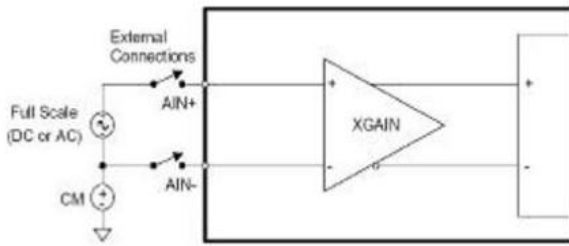


图 18 系统增益校准

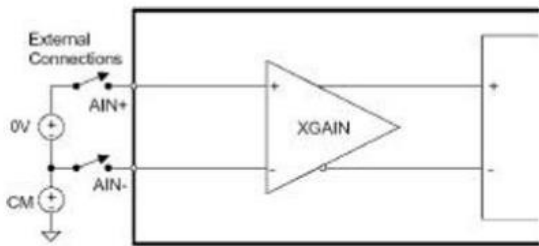


图 19 系统偏移量校准

#### 4.8.7.1 交流偏移量校准

交流偏移量校准算法的主要思想是当输入接地时得到输出有效值平方，再得到代表该值的偏移量值。一般情况下，为了消除寄生于电压通道的交流偏移量，当CS5460A 计算电压有效值时，将从连续的电压采样值的平方中减去AC偏移量寄存器值，该AC偏移量寄存器值与交流偏移量的平方成正比。首先，将输入端接地，并向CS5460A 发出交流偏移量校准指令。当交流偏移量校准过程被启动，最新的电压有效值寄存器值将被平方，这个被平方的寄存器值将被由从有效值数据通道来的一系列电压采样值的平方中减去（见图20）。

#### 4.8.7.2 直流偏移量校准

直流偏移量校准时，DC偏移量寄存器存有N个采样值的平均值的负值。直流偏移量校准中输入必须接地，直流偏移量的值被加到信号通道，以抵消系统的直流偏移。

#### 4.8.7.3 交流增益校准

交流电压增益校准算法的出发点是调整电压通道增益寄存器值，以使得对应输入端校准参考信号电平的电压有效值寄存器的值为0.6。校准信号加在通道的正负引脚上，电平由用户决定。在交流电压增益校准时，电压有效值寄存器的值被调整成0.6，存放于电压通道增益寄存器。

图21和图22是交流校准的两个例子。图中显示了通道瞬态数据寄存器的数字输出结果。图22表明即使在交流增益校准正在进行时，正的（或负的）直流电平信号也能使用。但当直流增益校准正在进行时，不能使用交流信号。

#### 4.8.7.4 直流增益校准

根据加到输入端的校准电压，CS5460A 将由一个计算周期（N 个样值）内瞬态电压寄存器输出信号的均值确定电压通道增益寄存器的值，然后对该平均值进行调整，使其读数值为1。因此，执行完直流电压增益校准后，当输入信号直流电平等于校准时的直流校准信号电平时，瞬态电压寄存器的读数为满量程值。比如，当DC 增益校准过程中加到电压通道输入端的DC 校准信号电平等于230mv，只要在输入端加一个DC 电平为240mv的信号，瞬态电压寄存器的值均为满偏值，见图23。将图23与图22比较可看出交流校准与直流校准的不同。

#### 4.8.8 校准所需时间

周期计数寄存器的值（N）确定了在给定校准过程内CS5460A的转换数。对于直流偏移量/增益校准，校准过程至少需N+30个转换周期完成。对于交流偏移量/增益校准，校准过程至少需6N+30个A/D转换周期完成（约6个计算周期）。增加N可提高校准结果的精确度。

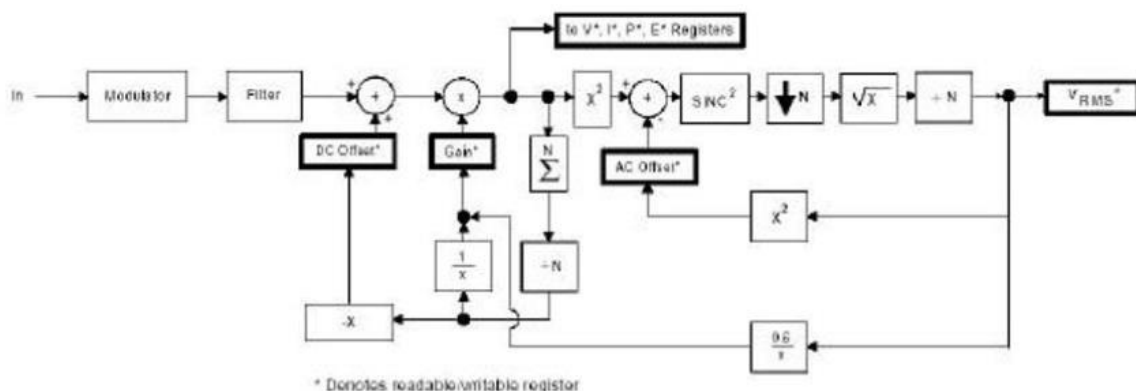


图 20 校准数据流程图



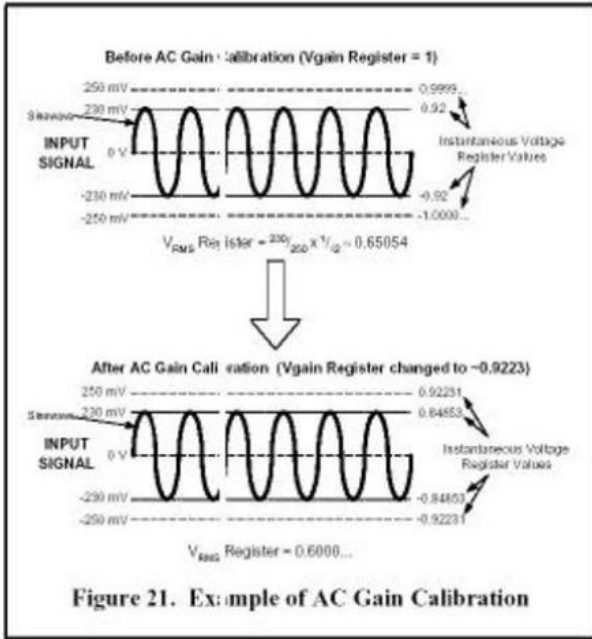


图 21 交流增益校准实例

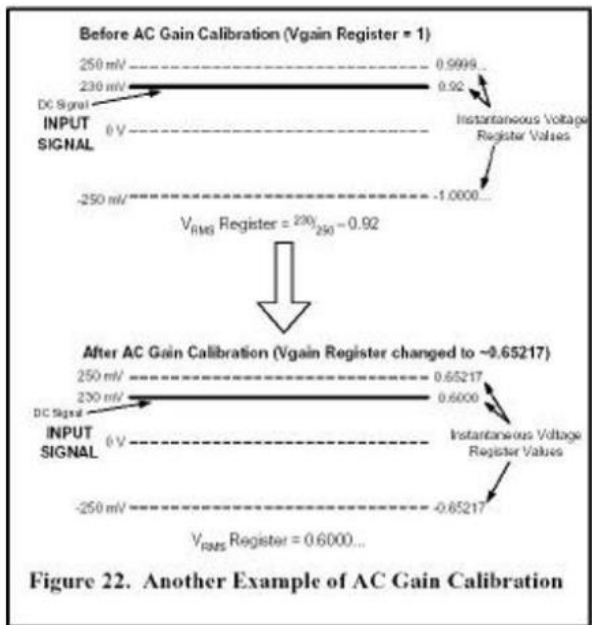


图 22 另一个交流增益校准实例

4.8.9 必须要校准吗？

CS5460A 并非必须要校准。当系统上电并复位后，芯片可以工作，此时称为“激活态”。在收到“启动转换”命令时，芯片可在不校准的情况下进行测量，但其输出值受校准寄存器值的影响。若不进行校准，寄存器内的值为缺省值（增益=1.0，DC偏移量=0.0，AC偏移量=0）。尽管不进行偏移量校准和增益校准芯片也能工作，但不保证读数准确度在0.1%的范围内。尽管CS5460A总是可以如表2所示的线性度和误差进行工作，但电压和电流的参考电平在各采样值是变化的。若不进行校

准，则参考电平与各通道的满量程直流输入电压限制对应，近似等于表2中“最大输入”一行中的电压值，但各芯片的值不完全相同。每个CS5460A的采样值相对于电压/电流通道输入的指定输入电压信号都必须经过校准以保证采样值的准确性（线性度+变化量）。在校准中必须使用正确的校准信号，由用户确定参考信号的电平。

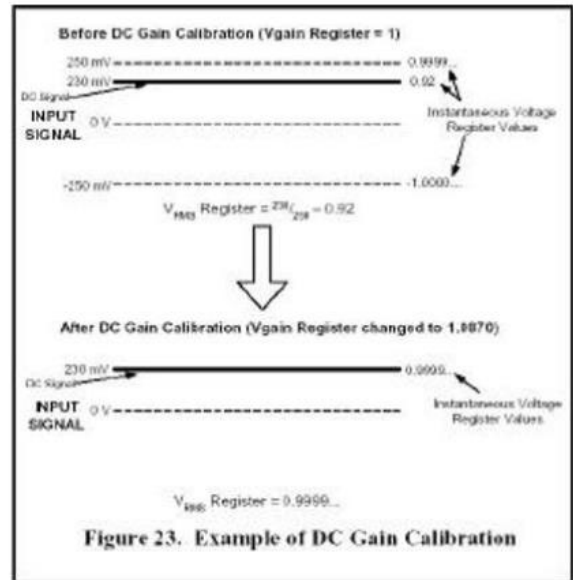


图 23 直流增益校准实例

例如使用187.5mV的直流信号加在电流通道的IIN+/IIN-两端进行直流校准，PGA增益设为“10X”。校准后无论何时加在电流通道的IIN+/IIN-两端的直流信号为187.5mV，都会得到满量程的数字输出编码（在瞬态电流寄存器内为0x7FFFFFFF。这一电平为最大输入电压范围（~±250mV）的~75%。在此情况下，保证线性度+变化量为±0.1%的电流通道输入范围与表2相比减小到0.5mV到187.5mV，表2中为0.5mV到250mV。

需注意使用增益校准信号电平会使CS5460A内部增益寄存器所设的值较小，同时减少有效值计算结果及所有电能寄存器保证读数的（线性度+变化量）范围为±0.1%的范围（参见表2）。当CS5460A输入的直流信号小于其最大直流差模输入电压的值时，这种情况就会发生。当交流信号的有效值小于最大交流输入电压的60%也会有这种情况。

最后，应注意±0.1%的准确度是假定系统在MCLK=4.096MHZ、K=1、N=4000的情况下得到了校准。若MCLK/K太小和N太小，则不能保证这样的准确度。



## 4.8.10 校准顺序

偏移量校准是否应在增益校准之前，或应反过来？本节将推荐合理的校准顺序。

1. 若希望测量电压/电流和功率/能量信号中的直流成分，则应先进行直流偏移量校准。若希望去除电压和电流信号中的直流成分（通过选择状态寄存器中的HPF位），则不需进行DC偏移量寄存器。一旦选择了电压或电流的HPF，则功率/能量信号中的直流成分将从功率/能量结果中去除。
2. 若希望将电能寄存器的准确度保持在±0.1%（相对于电压/电流输入的参考校准电平）内，则应接下来进行交流或直流增益校准。
3. 最后进行电压和电流通道的交流偏移量校准。只需将两个通道的“+”“-”输入端接地，然后执行交流偏移量校准程序。

需注意的是如果某一通道进行了直流偏移量校准，然后又进行了增益校准，则该通道DC偏移量寄存器的值需乘以一个系数，它等于该通道的新的增益寄存器的值。例如电压通道直流偏移量校准后电压通道DC偏移量寄存器的值位0x0001AC=0.0000510（d），假设电压通道增益寄存器的值在执行直流偏移量校准过程中为缺省值1.000...，则交流和直流增益校准后，电压通道增益寄存器的值变为0x4020A3=1.0019920（d），则电压通道DC偏移量寄存器的值为0x0001AD=0.0000511(d)，等于 $1.0019920 \times 0.0000510$ 。

## 4.8.11 校准提示

为了使数字噪声降到最小，用户应该等到每个校准步骤完成后再读写串行端口。

校准后，偏移量和增益寄存器的值可由外部系统微控制器读取，并保存在存储器中。当系统第一次加电时或电流通道增益范围改变时，同样的校准字可以被上载到偏移量和增益寄存器。

## 4.9 相位补偿

配置寄存器的17~23位用于调整加到电压通道采样信号的延时，以补偿由CS5460A外接的电压和电流传感电路所造成的电压和电流之间的相位延迟（相对于基频）。电压和电流互感器及加到电压/电流传感器网络前端的其它传感器/滤波器/保护器件经常会引入相位延迟，破坏被测电压和电流

信号的相位关系。用户可通过设置配置寄存器中的相位补偿位PC[6:0]来消除两个通道的数字采样信号的相位畸变。7位相位补偿字的值表明了加在电压通道的模拟输入信号相当于电流通道模拟输入信号的延时时间。

PC[6:0]在上电/复位后的缺省值位“0000000”，代表电压和电流通道信号通路最小的延时，也即最小的相位延迟。但由于有外部电压/电流传感器引入的相移，设计时可能应在电压通道信号中加入一个非零的时移校正值。在缺省设置下，电压通道信号的相位延迟大约为0.995 μs（即60Hz信号下的约0.0215度）。注意，7位相位补偿数的数据格式是二进制的补码数。当MCLK=4.096MHz，K=1，内部相位校准的范围为-2.8~+2.8度（信号频率为60Hz）。在这种情况下，相位补偿寄存器的步长约为0.04度。如MCLK≠4.096MHz，内部相位校准的范围（-2.8~+2.8度）和相位补偿寄存器的步长（0.04度）应乘以 $4.096\text{MHz}/(\text{MCLK}/K)$ 。信号频率不等于60Hz时（比如50Hz），用户可把上述值转换为时域内的值（单位为秒），然后根据有关线频率的度数来计算新的范围和步长值（单位为度）。

与偏移量/增益校准不同，CS5460A片内没有自动相位校准的程序。若涉及到消除电压传感信号和电流传感信号之间的相移，需用户通过试验确定最佳的相位补偿值。为校准相位延迟，用户必须在“连续计算周期”数据采样模式下调整相位补偿位，在此之前，用户应先为电源线提供一个纯阻性的负载（没有感性和容性成分），以使额定的电压电流信号加到各自通道中。在这种情况下，被测电压信号和电流信号之间的相位延迟都是由用户外接的电压和电流传感器电路引起的，然后调整相位补偿位PC[6:0]使能量寄存器的值达到最大。

## 4.10 时基校准寄存器

时基校准寄存器（图3中的“TBC”）用于补偿XIN引脚输入频率的细小误差（图6中的“TBC”）。外部的震荡器和晶振有一定的误差，如果用户要求提高时钟的精确度，可以通过操作时基校准寄存器来补偿频率误差。由图3可见，TBC寄存器只影响能量寄存器值。

比如，希望的XIN频率为4.096MHz，而实际的晶体平均频率却是4.091MHz， $4.096\text{MHz}/4.091\text{MHz} \approx 1.00122219506$ ，这时应设置TBC



寄存器为 1.0012223364=0x80280C(h)，这与 1.00122219506 非常接近。

#### 4.11 功率偏移量寄存器

参见图3可知， $P_{off}$  寄存器仅用于功率计算完成后。该寄存器可用于补偿由系统内部固有功率源引起而非由电力线信号引入的功率偏移。系统内部存在的这些功率源将对功率和电能的测量结果产生不利的或错误的影响。例如，即使两个通道都已进行了直流和交流偏移量校准，在电压通道输入端加上电压信号而电流通道接地，电流通道还会存在非常小的电流。这个电流是由电压通道的输入信号泄露到电流通道产生的。尽管CS5460A具有很高的抑制串扰的能力，但不能完全消除串扰。用户可以用实验方法确定由于串扰或系统噪声及其它原因引入的寄生功率的大小，然后通过设置功率偏移寄存器来补偿这个不需要的功率的影响。

#### 4.12 输入保护 – 电流限制

在图6、7、8 和图9 中，串接到IIN+引脚的电阻RPI有两个用途。一个是与 $C_{diff}$ 和/或 $C_{diff}$ 构成低通滤波器，该滤波器可以去除所需频率外很宽频带的噪声，同时也是一个防混淆滤波器，防止A/D转换器接收高于采样频率一半（奈奎斯特频率）的输入信号。第二个用途是对lin+引脚提供限流保护。输入滤波器中 $R_{I+}$ 的作用在4.13中讨论。首先讨论lin+/lin-和Vin+/Vin-引脚的限流保护。

电压和电流通道允许输入的最大浪涌电流为 100 mA，这项指标适用于一般的电压和电流的尖峰（<250msec），直流输入过载的极限电流为 10mA。为防止CS5460A在实际测量环境中损坏，必须在功率测量中加入可靠的保护电流使各引脚的电流不超过限制。

特别需要注意的是图7，电压/电流互感器可用于检测电源线电压和电源线电流，假设一个120VAC的电源系统要求功率表能够在正常工作时承受电源线上的8KV电压尖峰。为了时CS5460A的输入引脚具有合适的电压，互感器的变比应选为1000: 1，这样当电源线电压为120VAC时，互感器输出电压为120mV（RMS）。因此，8KV尖峰电压在 $R_{V+}$ 产生的电压降为8V（共模），此时由于Vin+/Vin-和lin+/lin-内部有保护二极管，当电压超过±7V后（相对于VA-），保护二极管反向导通。但为防止过大的电流流入芯片， $R_{V+}$ 必须足够大，使

流过它的电流不超过100mA。因此 $R_{V+}$ 最小应取  $(8V-7V)/100mA=10\Omega$ 。根据需要可提高阻值，使电压通道抗混淆滤波器具有合适的截止频率并具备一定余量。但不要取值太大，典型值为470 $\Omega$ 。

引脚VIN-也需要一个保护电阻（图7中的 $R_{V-}$ ），为保证对称， $R_{V-}$ 应等于 $R_{V+}$ 。

对于电流通道的输入lin+和lin-，假设电源线最大额定电流Imax为30A(RMS)，则电流互感器合适的变比为200: 1。由于120VAC电源线下额定电流为30A，其最大负载为4 $\Omega$ （单位功率因数），在“L”和“N”端的8KV电压尖峰可以在互感器的原边产生2000A（RMS）的瞬时电流，这将在副边产生10V的尖峰电压，将使lin+和lin-内的保护二极管导通，因此使电流小于100mA的保护电阻值为  $(10V-7V)/100mA=30\Omega$ 。为保证足够的余量并与Vin+/Vin-引脚使用同样的电阻，可如图7选择 $R_{I+}$ 和 $R_{I-}$ 为470 $\Omega$ 。

参照图6、8、9可以注意到电阻分压器用于提供电压通道的电压时，引脚VIN+不需额外的保护电阻，因为电阻分压器已经提供了保护功能（图8中VIN+和VIN-都是如此）。而在图7中，电压互感器作为电压传感器。无论电压或电流通道采用怎样的互感器，都必须在VIN+接入保护电阻 $R_{V+}$ ，同样，引脚VIN-也应接入保护电阻 $R_{V-}$ 。

模拟输入端对高频高压或大电流纹波的保护方面将在4.14节中讨论。

#### 4.13 输入滤波

图6显示了模拟输入可以按单端输入的方法连接，此时Vin-和lin-引脚上存在一个固定的共模电压，差模输入信号只在Vin+和Vin-引脚上变化。Vin-和lin-上的共模电压通常设置为（或非常接近）CS5460A的共模地参考电位。共模地参考电位定义为VA-引脚地电压。实际上Vin-和lin-地直流参考电平可设为[VA-]与[(VA+)-250mV]之间的任何一个值。图6中，电流通道输入引脚前端的电流就是如此。选择合适的 $R_{I+}=R_{I-}$ ， $C_{diff}$ ， $C_{I+}-C_{I-}$ 可构成抗混淆滤波器。 $R_{SHUNT}$ 上产生的压降馈入lin+引脚，此时lin-引脚上的电压为一常数。

图7为双端差模输入的电路。电压电流通道的“+”“-”输入端分别高于和低于CS5460A的参考地电位。由于可向CS5460A的电压/电流通道输入端输入比VA-端参考地电位低250mV（共模）的输入电压，双端差模输入的方法是可行的(实际上，差模



输入的中点可以与直流电压相连，如+2V，因为这个电压在[VA-]和[VA+-250mV]的共模范围内，但这样在大多数测量中并不实用)。在双端输入方式中，Vin-和lin-引脚上的电压与Vin+和lin+引脚上的电压波动是相同的，但相位相差180度，因此“+”“-”输入端在差模信号输入中作用是相同的，因此Vin-和lin-上的保护电阻与Vin+和lin+上的保护电阻在电压/电流通道输入抗混淆滤波器的差模相应中的作用是相同的。这些电阻同样作为限流电阻。

选择图7的 $R_{V+}$ ,  $R_{V-}$ ,  $C_{V+}$ ,  $C_{V-}$ ,  $C_{Vdiff}$ ,  $R_{I+}$ ,  $R_{I-}$ ,  $C_{I+}$ ,  $C_{I-}$ ,  $C_{Idiff}$ 时，需考虑几个因素：

1. 选择以上的电阻和电容的值要考虑输入低通滤波器的截止频率。通常此截止频率不应小于内部电压/电流通道滤波器截止频率的10倍，通过图4和图5可以进行估算。从图可以看出，内部电压通道的截止频率约为1400Hz，而电流通道的截止频率约为1600Hz。如果外部抗混淆滤波器的截止频率小于该值的10倍(分别为14000Hz和16000Hz)，那么电压电流信号中的一些谐波成分将被抗混淆滤波器衰减，因为RC滤波器在该值(14000Hz和16000Hz)的1/10出处开始下降。若对高次谐波(相对于基频)能量不感兴趣，则电压电流通道输入网络的截止频率可以降低，但通常降低带宽是不被接受的，对于大多数功率测量来说，都要求最小记录11次谐波的能量。
2. 电压电流通道的传感器网络的一阶时间常数应等于或至少也要接近幅值。若电压电流通道的传感器网络的一阶时间常数不能很好匹配，则电压传感信号和电流传感信号的相位关系会产生不希望的偏移。此时有功功率/能量的测量有明显误差，因为电压电流传感信号的功率因数与电源的实际功率因数明显不同。

应注意除了输入RC滤波器的时间常数外，电压电流传感器件的相移特性也对电压电流输入传感网络的总时间常数有影响。如电流互感器和电压互感器可在测量的电压电流波形中加入相移，因此在设计电压电流抗混淆滤波器的RC值时应考虑这一因素。除了仔细调整两个抗混淆滤波器的R和C的值外，还可调整CS5460A的相位补偿位(见“相位补偿”)，以更好的匹配电压电流输入网络的总时间常数。但无论相位补偿位是否有助于匹配时间常数，选择R和C值时必须考虑时间常数的要求。当然，如果

电压电流通道时间常数的不匹配对于所进行的功率/能量测量来说不会引起足够误差以至影响精度，这一因素也不显得太重要)。

3. 参见第1节，电流通道差模输入阻抗仅为30k $\Omega$ ，远低于电压通道差模输入阻抗(1M $\Omega$ )。电压通道的阻抗足够大，可以被忽略，但电流通道的阻抗在计算滤波器截止频率和输入网络时间常数时则必须考虑。同时，由于电流通道输入阻抗低，当 $R_{I+}$ 和 $R_{I-}$ 增加后，与电流通道输入阻抗相互作用，会在电流通道输入网络引起明显的压降，若不考虑这一因素，选择的 $R_{I+}=R_{I-}$ 太大，会引起电流传感网络期望的增益与实际增益的不同，这是设计时所不希望的。若不考虑该压降的影响，可根据电流通道输入的动态范围选择稍大一些的 $R_{I+}$ 和 $R_{I-}$ 值。同样道理，不考虑该压降也不用调整电流传感器从电源线电流到输出电压的转换系数。这一问题应予考虑，尽管轻微的压降仅会引起动态范围很小的损失，而且通过电流通道的增益校准可以消除这一压降的影响。
4. 参见图6~9，设计时可能只会用到图中的一部分电阻和电容。但应注意，滤波器中所有这些电容 $C_{V+}$ ,  $C_{V-}$ ,  $C_{Vdiff}$ ,  $C_{I+}$ ,  $C_{I-}$ ,  $C_{Idiff}$ 在某些情况下可以增强输入网络对进入模拟输入端的高频RFI信号的衰减能力。因此在布PCB板时应使这些电容尽可能靠近输入引脚。

如果输入网络中有共模连接的电容( $C_{V+}$ ,  $C_{V-}$ ,  $C_{I+}$ ,  $C_{I-}$ )，它们的取值至少应比微分电容 $C_{Vdiff}$ ,  $C_{Idiff}$ 低一个数量级，这样做至少有两个原因：

- a) 大多数表面封装的电容容值的偏差范围不能保证 $C_{V+}$ 和 $C_{V-}$ ， $C_{I+}$ 和 $C_{I-}$ 很好的匹配，这会引起电压电流输入网络差模响应变坏。使这些电容值取值较小，而取微分电容 $C_{Vdiff}$ 和 $C_{Idiff}$ 较大，由它们决定输入滤波器网络的微分一阶时间常数，可使这些电容引起的频率变化减至最小。
- b) 在CS5460A进行A/D转换的频率范围内，CS5460A的共模抑制性能非常好。但加入这些电容后会降低电压电流输入网络的共模抑制能力。因此选择较小的电容值可以保证在较高的频率下的共模抑制能力，同时使CS5460A在需要的频率范围内具有很好的共模抑制比(CMRR)。



现在讨论电流通道。假设图7中电压和电流互感器产生的相移可以忽略不计（在实际测量中不会出现这种情况），元件采用一般的取值，设 $R_{I+}=R_{I-}=470\ \Omega$ ， $C_{I\text{diff}}=18\text{nF}$ ， $C_{I-}=0.22\text{nF}$ （在电流通道内它使-3dB的截止频率为15341HZ）。对于电压通道，设 $R_{V+}=R_{V-}=470\ \Omega$ ， $C_{V\text{diff}}=18\text{nF}$ ， $C_{I-}=C_{V-}=0.22\text{nF}$ （与电流通道相同），-3dB的截止频率为14870HZ。截止频率不同是因为两个通道的输入阻抗不同。

若不希望因为两个截止频率不同（因此引起电压/电流输入网络的时间常数不匹配）而影响功率/能量记录的准确性，可以选 $R_{V+}=R_{V-}=455\ \Omega$ ，这不是标准电阻值，但可使电压通道输入滤波器在-3dB时的截止频率为约15370HZ，这样可使电压/电流通道输入滤波器的一阶时间常数更接近于相等。

前面提到，除了稍微改变 $R_{I+}=R_{I-}$ 和 $R_{V+}=R_{V-}$ 的值使电压/电流通道的的时间常数更加接近外，也可通过调整相位补偿位达到这一目的，这样设计时就不用选择不标准的电容/电阻值，如 $R_{I+}=R_{I-}=455\ \Omega$ 。假设不用调整 $R_{V+}=R_{V-}$ 的值，则两个通道的电容和电阻值都相同。此时，可以通过求-3dB截止频率（单位为rad/s）的倒数得到两个通道RC滤波器的时间常数。将两个时间常数相减可知电压/电流信号通过各自滤波器后，电压信号比电流信号有约0.329 $\mu\text{s}$ 的延时。

假设测量60HZ的电源，这就意味着输入电压传感信号比输入电流传感信号延迟约0.007度。需注意当PC[6: 0]设为缺省值“0000000”时，CS5460A的内部滤波电路将再给电压信号基频分量加上0.0215度的延迟（相对于电流信号，假设为60HZ系统）。因此电压信号迟后于电流信号约0.286度。若相位补偿位设为11111111，电压通道信号将有-0.04度的延迟，即使电压信号比原来超前0.04度。则电压传感信号的相移将比电流传感信号超前约0.011度，因此可以提供电压电流传感信号更好的匹配，所以调整PC[6: 0]使设计时可以使用具有标准值的电阻和电容。

最后需指出的以上讨论都是在理想状况下进行的。假设滤波器所用R和C的公差为 $\pm 0.1\%$ ，则时间常数会有约 $\pm 2.07\ \mu\text{s}$ 的变化，也就是说电压传感信号和电流传感信号之间的延时约在 $\pm 4.1\ \mu\text{s}$ 之间变化，这在60HZ下等于约 $\pm 0.089$ 度的相移，这就意味着调整PC[6:0]位（可使电压信号超前0.04

度）可使电压信号比电流信号超前约0.100度。若PC[6:0]位设为“0000000”，则可以看出元器件的误差可能使两个信号之间具有更大的延时，因此在最终对电表进行校准/测试的过程中，只有对每块表进行精确校准，调整PC[6:0]以使两个时间常数/延时更匹配才是可行的。实际上，电阻和电容值的这种变化更说明了为什么需要利用CS5460A进行相位补偿，在进行通道间相位匹配时，采用带有误差的元器件计算的结果与利用元器件理想值进行计算所得的结果差别非常小。

#### 4.14 对高压和大电流纹波的保护

在许多电源分布系统中，电源线上很可能会偶尔出现短暂的电压电流尖峰。常见的两种干扰源是1)雷电在电源线上引起的纹波；2)电源线上容性或感性负载突然打开（即感应冲击）。此时输入保护电阻和相应的输入滤波电容不足以保护CS5460A。高频电压/电流纹波仍有可能损坏芯片，因此应考虑在电压/电流通道的输入电路中加入一些元件以防芯片受损。如图24，C1和C2可以衰减这些高频纹波，大大降低CS5460A损坏的可能。典型的C1和C2值为几十pF，具体值由电压和电流传感器的电阻特性和电抗特性决定。此外，二极管D1~D4可以在CS5460A遭到损坏前快速钳位串入电压电流通道输入端的高压纹波。BAV199就是一种适合在此应用的二极管，具有非常短的开通时间。保险丝也对此有所帮助。选 $R3=R1$ ， $R4=R5$ ，则R3和R4可对两个输入的“-”端提供保护。还可以在VA+和VD-端串接50 $\Omega$ 的电阻，但若模拟输入通道已有足够的保护便不需这样做，因为这并不是很好的方法。由于这两个电阻需要消耗功率，会在电阻上产生明显的压降，使VA+和VD+的输入电压降低。

#### 4.15 增强 RFI 抗扰性能

当测量组件进行EMC验收测试时，CS5460A的A/D转换器性能会受外部射频干扰（RFI）的不利影响。外部RFI可能耦合到PCB板上的铜箔和连线中，若铜箔和连线与CS5460A的Vin+/Vin-或lin+/lin-引脚相连，则会使CS5460A的功率/电能寄存器结果产生误差。

若发现因此而引起的CS5460A性能下降则需增强其抗射频干扰的能力，可通过加强电压/电流通道的“-”“-”输入端的对称性来达到目的。如图24所



示，加入电阻R3、R4以及电容C5、C6。图24中电压/电流通道前端的输入电路是单端输入的结构，因此对在输入端实现简单的滤波来说这些附加的电阻和器件并不必要，但它们可以使电压/电流通道的输入端具有更强的对称性，有助于降低CS5460A对RFI的敏感程度。电容C5的值应与C3相同，因此设计时需重新计算C3的值，因为加入C5后会改变输入滤波器的差模和共模频率响应。C6的情况与此相似（与C8匹配）。最后，附加的C4和C7两个电容也在一定程度上增强了CS5460A对RFI的抗扰能力。电容C3~C8应尽可能靠近电压/电流通道的“+”“-”引脚，提高引脚抵抗高频RFI的能力。除了使用电容，电感L1~L4也有助于抑制RFI。以上所

加入的元件可以在一定程度上有效减小RFI对CS5460A的影响，但合理的PCB布线及方向对此具有更明显的效果。最后，为增强芯片抗RFI的能力，CS5460A的Vin+,Vin-,lin+,lin-引脚都通过一个约10pF的内部电容与VA-端相连。

### 4.16 PCB 设计

CS5460A在PCB板布线时应将其完全放在地平面上，VA-与GDND 引脚连接到地平面上。

注释：详见参考CDB5460A评估板理解布板要求，注释18有更详细的指导，布板前请打电话给我们，您将得到免费的原理图评估服务。

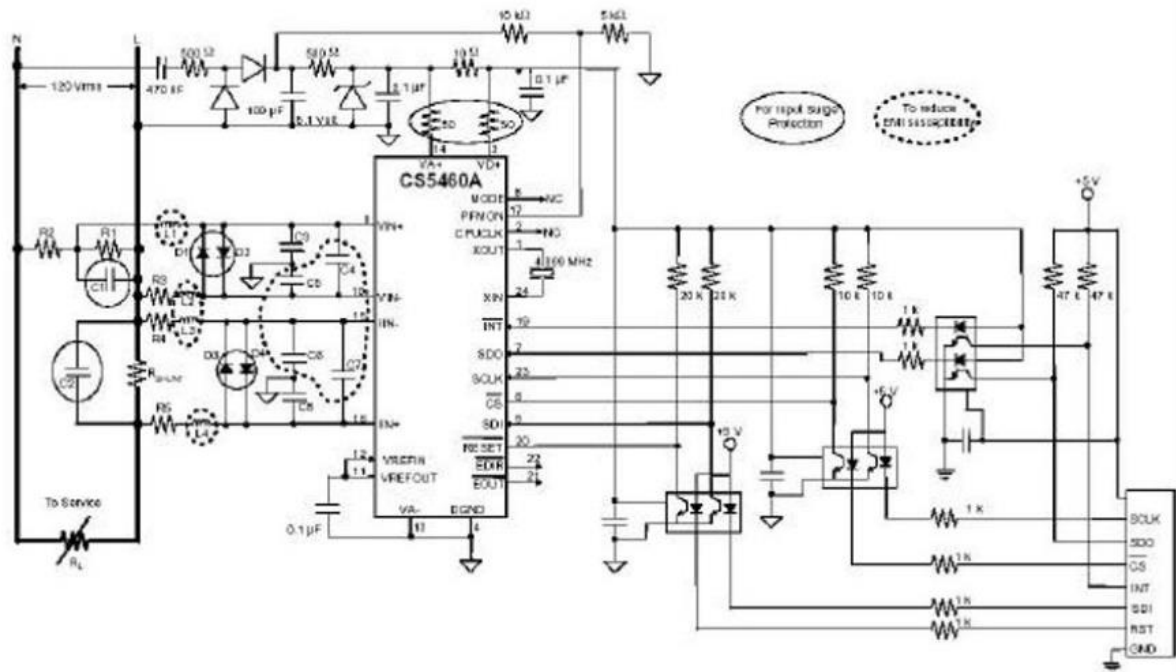


图 24 单端输入电路的输入保护

## 5. 寄存器描述

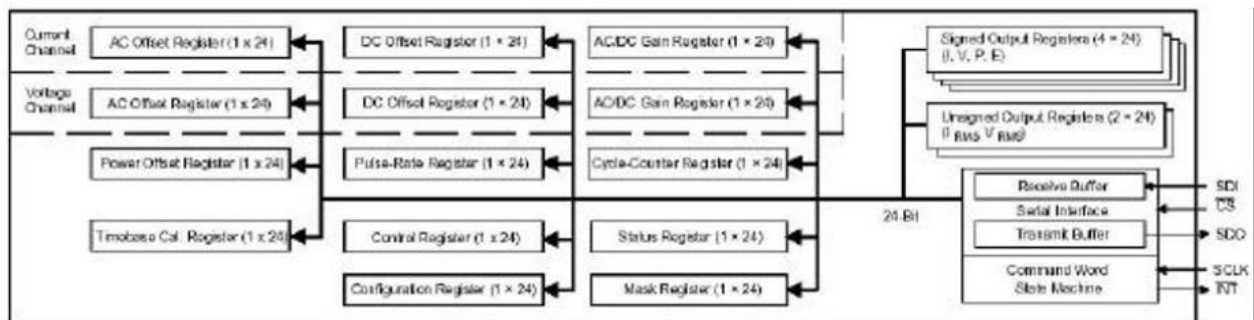


图 25 CS5460A 寄存器图

注释：1. “缺省”指软件或硬件复位后位的状态；

2. 所有的寄存器都可读/写。



## 5.1 配置寄存器

地址：0

23	22	21	20	19	18	17	16
PC6	PC5	PC4	PC3	PC2	PC1	PC0	Gi
15	14	13	12	11	10	9	8
EWA	Res	Res	SI1	SI0	EOD	DL1	DL0
7	6	5	4	3	2	1	0
RS	VHPF	IHPF	iCPU	K3	K2	K1	K0

缺省值\*\* = 0x000001

- K[3:0]** 时钟分频器，4位二进制数，是由主频MCLK 分频以产生内部时钟DCLK，内部时钟频率 $DCLK=MCLK/K$ ，K 的取值范围为1~16，当K[3:0]=0000 时，K=16。
- iCPU** 使CPUCLK 时钟反向，为了减少模拟信号取样时的噪声电平，在取样边沿CPUCLK的驱动逻辑不处于激活状态。  
0=正常模式（缺省）。  
1=当CPUCLK 驱动上升沿逻辑时使噪声最小。
- IHPF** 控制电流通道高通滤波器的使用。  
0=高通滤波器被禁止。如果VHPF 被置位，则使用全通滤波器，否则不使用任何滤波器（缺省）。  
1=高通滤波器被打开。
- VHPF** 控制电压通道的高通滤波器的使用。  
0=高通滤波器被禁止。如果IHPF 被设置，则使用全通滤波器。否则不使用滤波器（缺省）。  
1=高通滤波器被打开。
- RS** 当置1 时启动芯片的复位周期，复位周期持续时间小于10 个XIN 周期。复位周期结束时，RS 位自动恢复成0。
- DL0** 当EOD=1 时， $\overline{EDIR}$  成为用户定义引脚，DL0 设置 $\overline{EDIR}$  引脚的值，缺省值= ‘0’。
- DL1** 当EOD=1 时， $\overline{EOUT}$  成为用户定义引脚，DL1 设置 $\overline{EOUT}$  引脚的值，缺省值= ‘0’。
- EOD** 允许DL0，DL1 控制 $\overline{EDIR}$  和 $\overline{EOUT}$  引脚。 $\overline{EDIR}$  和 $\overline{EOUT}$  引脚也可以通过状态寄存器访问。  
0 =  $\overline{EDIR}$  和 $\overline{EOUT}$  引脚常规操作方式。(缺省)  
1 = 由DL0，DL1 控制 $\overline{EDIR}$  和 $\overline{EOUT}$  引脚。
- SI[1 : 0]** 软件中断配置，选择引脚行为方式指示中断。  
00 = 低电平有效（缺省）  
01 = 高电平有效  
10 = 下降沿（INT 通常处于高电平）  
11 = 上升沿（INT 通常处于低电平）
- Res** 保留。各位必须置0。
- EWA** 允许多个芯片的 $\overline{EOUT}$  和 $\overline{EDIR}$  引脚连在一起实现线与，需使用外部上拉芯片。  
0 = 正常输出（缺省）  
1 = 仅在 $\overline{EOUT}$  和 $\overline{EDIR}$  引脚被下拉时
- Gi** 设置电流通道增益可编程放大器（PGA）的增益  
0 = 增益为10（缺省）  
1 = 增益为50

PC[6:0] 相位补偿，二进制补码，用来设置电压通道相位延迟。60Hz 时相位调整范围大约为-2.8 ~+2.8 度，补偿分辨率大约是0.04 度（MCLK=4.096MHz，K=1）。当MCLK/K 不等于4.096MHZ，该相位调整范围和补偿分辨率应乘以因子4.096MHZ/（MCLK/K）。  
缺省设置为0000000=0.0215 度相位延时（MCLK=4.096MHz）。

**5.2 电流通道 DC 偏移量寄存器和电压通道 DC 偏移量寄存器**

地址： 1 （电流通道DC偏移量寄存器）  
3 （电压通道DC偏移量寄存器）

MSB													LSB			
$-(2^0)$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	.....	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	$2^{-23}$	

缺省值\*\* = 0.000

复位时，DC 偏移寄存器初始化为0，允许芯片工作并进行测量。当输入适当的信号，并接收到校准命令，经过一个计算周期后，该寄存器被加载系统偏移数据，校准结束后DRDY 位被置位。由于偏移寄存器可读写，故可再恢复成所要的系统偏移补偿值。寄存器的值在±满量程范围之内。数据格式为二进制补码。

**5.3 电流通道增益寄存器和电压通道增益寄存器**

地址： 2 （电流通道增益寄存器）  
4 （电压通道增益寄存器）

MSB													LSB			
$2^1$	$2^0$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	.....	$2^{-16}$	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	

缺省值\*\* = 1.000

复位时，增益寄存器初始化为1.0，允许芯片工作并进行测量。增益寄存器保持最近一次DC 或AC 增益校准的结果。如果执行DC 校准，当输入适当的信号，并接收到校准命令时，经过在一个计算周期，增益寄存器被加载上系统增益。如果执行AC 校准，当输入适当的信号，并接收到校准命令，在经过（6N+30）个A/D 转换周期后，增益寄存器被加载上系统增益（此处，N 为周期寄存器的值）。校准结束后DRDY 位被置位。增益寄存器可读/写，这样增益寄存器可由期望的系统偏移量补偿进行恢复。该寄存器的取值范围是0.0 ≤增益<4.0。

**5.4 周期计数寄存器**

地址： 5

MSB										LSB					
$2^{23}$	$2^{22}$	$2^{21}$	$2^{20}$	$2^{19}$	$2^{18}$	$2^{17}$	$2^{16}$	.....	$2^6$	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$

缺省值\*\* = 4000

周期计数寄存器的值（用‘N’表示）确定每一计算周期的A/D转换次数。对每一计算周期，用最近N 个电压/电流的采样值计算RMS和电能寄存器的更新值。当芯片工作在“连续计算周期”数据采集模式时，计算周期频率为（MCLK/K）/（1024\*N），其中MCLK 是主时钟频率（XIN/XOUT引脚的输入脉冲频率），K 是时钟分频系数（由配置寄存器确定），N 为周期计数寄存器的值。



### 5.5 脉冲-速率寄存器

地址： 6

MSB										LSB					
$2^{18}$	$2^{17}$	$2^{16}$	$2^{15}$	$2^{14}$	$2^{13}$	$2^{12}$	$2^{11}$	.....	$2^1$	$2^0$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$

缺省值\*\* = 32000.00Hz

脉冲速率寄存器决定了  $\overline{EOUT}$  引脚输出的脉冲串的频率。每个  $\overline{EOUT}$  脉冲代表一个预定值的有功能量（双线）。寄存器有效的最小值为  $2^{-4}$ ，但分辨率为  $2^{-5}$ 。

### 5.6 I，V，P，E 带符号结果输出寄存器

地址： 7~10

MSB										LSB					
$-(2^0)$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	.....	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	$2^{-23}$

带符号寄存器含有 I，V，P，E 最新测量结果。测量结果的值域为  $-1.0 \leq I, V, P, E < 1.0$ ，数值用二进制补码表示，小数点在 MSB（符号位）右侧。I，V，P，E 是带符号输出结果寄存器。I，V，P 寄存器每个转换周期更新一次，而 E 寄存器每个计算周期更新一次。该寄存器的数字格式为二进制补码。

### 5.7 IRMS，VRMS 无符号结果输出寄存器

地址： 11，12

MSB										LSB					
$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	.....	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	$2^{-23}$	$2^{-24}$

该寄存器寄存  $I_{RMS}$ ， $V_{RMS}$  最新计算结果，值域  $0.0 \leq I_{RMS}, V_{RMS} < 1.0$ ，结果用二进制数表示，小数点在 MSB 左侧， $I_{RMS}$ ， $V_{RMS}$  是无符号值输出结果寄存器。

### 5.8 时基校准寄存器

地址： 13

MSB										LSB					
$2^0$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	.....	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	$2^{-23}$

缺省值\*\* = 1.000

复位时，时基校准寄存器初始化为 1.0，允许芯片工作并进行计算。时基寄存器由用户依据时钟频率的误差加载，用来补偿由晶振/振荡器的允许误差造成的增益误差。其值域为  $0.0 \leq TBC < 2.0$ 。

### 5.9 功率偏移量寄存器

地址： 14

MSB										LSB					
$-(2^0)$	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	.....	$2^{-17}$	$2^{-18}$	$2^{-19}$	$2^{-20}$	$2^{-21}$	$2^{-22}$	$2^{-23}$

缺省值\*\* = 0.000

该偏移值加到由每一对电压和电流采样值计算出的功率值上然后在能量寄存器上累加。此寄存器的数据格式是二进制补码。这个寄存器用于补偿由系统内部固有的功率干扰源对功率计算结果的影响。

### 5.10 AC 电流通道 AC 偏移量寄存器和电压通道 AC 偏移量寄存器

地址： 16 （电流通道AC偏移量寄存器）  
 17 （电压通道AC偏移量寄存器）

<b>MSB</b>														<b>LSB</b>	
2 <sup>-13</sup>	2 <sup>-14</sup>	2 <sup>-15</sup>	2 <sup>-16</sup>	2 <sup>-17</sup>	2 <sup>-18</sup>	2 <sup>-19</sup>	.....	2 <sup>-29</sup>	2 <sup>-30</sup>	2 <sup>-31</sup>	2 <sup>-32</sup>	2 <sup>-33</sup>	2 <sup>-34</sup>	2 <sup>-35</sup>	2 <sup>-36</sup>

缺省值\*\* = 0.000

AC 偏移量寄存器复位后初始化为零，允许芯片工作并执行测量。首先，将芯片的输入端接地，然后将AC 偏移量校准命令输入CS5460A，经过（6N+30）个A/D 转换周期后（此处N 为周期计数寄存器的值），系统AC偏移量的平方值存入增益寄存器。系统校准结束后DRDY 位被置位。偏移寄存器可读/写，这样偏移寄存器就可以恢复成系统所需偏移补偿值。注意：偏移寄存器的值代表交流电压/电流偏移量的平方。

### 5.11 状态寄存器和屏蔽寄存器

地址： 15 （状态寄存器）  
 26 （屏蔽寄存器）

23	22	21	20	19	18	17	16
DRDY	EOUT	EDIR	CRDY	MATH	Res	IOR	VOR
15	14	13	12	11	10	9	8
PWOR	IROR	VROR	EOR	EOOR	Res	ID3	ID2
7	6	5	4	3	2	1	0
ID1	ID0	WDT	VOD	IOD	LSD	0	IC

缺省值\*\*=0000000000000000x x x x 000001 （状态寄存器）  
 00000000000000000000000000000000 （屏蔽寄存器）

状态寄存器用来指示芯片的状态。通常情况，向某位写个‘1’会使该位变成‘0’状态；写‘0’则该位保持原来状态不变。这一特性使用户可以简单地回写状态寄存器来清除已知的有效状态位，而不用担心清除新置位的其他位。即使一个状态位被屏蔽以禁止产生中断，该状态位还是可以在状态寄存器上被置位，用户可以查询其状态。

屏蔽寄存器用来控制  $\overline{INT}$  引脚的活动，向屏蔽寄存器写一个‘1’将允许状态寄存器相应位在有效时激活  $\overline{INT}$  引脚。

- $\overline{IC}$  无效命令，正常值为逻辑1。当芯片接收到无效命令时被置为逻辑0。只有向串口发出一个串口初始化序列后该位才变为无效状态（或软硬件复位时）。当写入状态寄存器时， $\overline{IC}$  位不受影响。
- LSD 低电源检测，当PFMON 引脚电压下降到相对于VA-引脚的低电压门限值（PMLO）时被置位，通常此门限值为2.3V。当PFMON 引脚电压回升到高电压门限值（PMHI）后，LSD复位，通常PMHI比PMLO高约100mv，PMHI的电压值不超过2.7v。
- IOD 电流通道调制器振荡检测，当调制器振荡输入高于满量程时被置位。注意，调制器振荡时的电平远高于电流通道的差模输入电压范围。
- VOD 电压通道调制器振荡检测，当调制器振荡输入高于满量程时被置位。注意，调制器振荡时的电平远高于电压通道的差模输入电压范围。  
 注释：电源线上的毛刺可使IOD 和VOD 位被“假”置位，不应把这种现象和输入脚上的直流过载现象相混淆。过载时IOD 和VOD 位即使在被多次清除后，仍然会重新置位。
- WDT 看门狗，电能寄存器超过5 秒没有读取时被置位。（MCLK =4.096MHz,K=1）要清除WDT 位，首先要读取电能寄存器，然后向状态寄存器的WDT 位写逻辑1。当MCLK/K 不等于4.096MHZ，则读取周期为5\*[4.096MHZ/(MCLK/K)]秒。



- ID3:0 修正/版本标识。
- EOOR  $\overline{EOUT}$  端电能求和寄存器超出范围，注意  $\overline{EOUT}$  端电能求和寄存器和可通过串口访问的电能寄存器不同，它不能被用户读取。本位被置位的原因可能是输出字速率相对于被测能量太低，这个问题可通过对脉冲速率寄存器设定一个较高的频率来解决。
- EOOR 电能超出范围，电能寄存器溢出时置位，这是因为计算周期挂起而累积的电能值可能大于电能寄存器的最大值或小于其最小值。
- VROR 电压有效值超出范围，当校准后的电压有效值超出电压有效值寄存器的范围时被置位。
- IROR 电流有效值超出范围，当校准后的电流有效值超出电流有效值寄存器的范围时被置位。
- PWOR 功率计算超出范围，当被测功率的幅值超出瞬时功率寄存器的范围时被置位。
- VOR 电压超出范围。
- IOR 电流超出范围，当校准后的电流幅值大于或小于瞬时电流寄存器的范围时被置位。
- MATH 除法溢出标志，这常见于计算过程中，当该位被置位而其它位没有被置位，则没有错误，该位的置位应该被忽略。
- CRDY 转换就绪，指示新的转换已准备好，该位通常以输出字速率（频率4KHz）更新。
- $\overline{EDIR}$  当电能为负值时与  $\overline{EOUT}$  位同时被置位。
- $\overline{EOUT}$  当  $\overline{EOUT}$  电能累加寄存器（不能被用户访问）达到电能的极限值时在  $\overline{EOUT}$  引脚上发出一个或多个脉冲（若  $\overline{EOUT}$  使能，见配置寄存器）。此时  $\overline{EOUT}$  引脚将产生一个脉冲，该脉冲代表正的或负的能量，这需要通过检查  $\overline{EDIR}$  位来确定。当能量输出速率下降到低于产生4KHz的  $\overline{EOUT}$  引脚速率的电能值时， $\overline{EOUT}$  位自动清除。 $\overline{EOUT}$  位还可通过写状态寄存器来清除。当MCLK/K等于4.096MHz时， $\overline{EOUT}$  位被置位的最大频率是4KHz；当MCLK/K不等于4.096MHz时，实际的脉冲速率等于MCLK/K等于4.096MHz时的脉冲速率乘以4.096MHz/(MCLK/K)。
- DRDY 数据就绪。在“单计算周期”或“连续计算周期”数据采集模式下，该位的置位代表着一个计算周期的结束；校准时，该位的置位表示校准序列已完成，并且校准结果已存于偏移量寄存器或增益寄存器。

## 5.12 控制寄存器

地址：28

23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8
Res	Res	Res	Res	Res	Res	Res	STOP
7	6	5	4	3	2	1	0
Res	MECH	Res	INTL	SYNC	NOCPU	NOOSC	STEP

缺省值\*\* = 0x000000

- STOP 1=终止新的EEBOOT序列。
- Res 保留位。该位必须置0。
- MECH 1=机械计度器模式下加宽  $\overline{EOUT}$  和  $\overline{EDIR}$  脉冲。
- INTL 1=改变INT的输出为漏极开路配置。
- SYNC 1=强制内部A/D转换时钟和转换命令的启动同步。
- NOCPU 1=将CPUCLK输出变为位输出口，降低功耗。
- NOOSC 1=禁止晶体振荡器进行外部驱动来降低功耗。
- STEP 1=允许  $\overline{EOUT}$  /  $\overline{EDIR}$  引脚输出步进电机信号。

## 6. 引脚描述

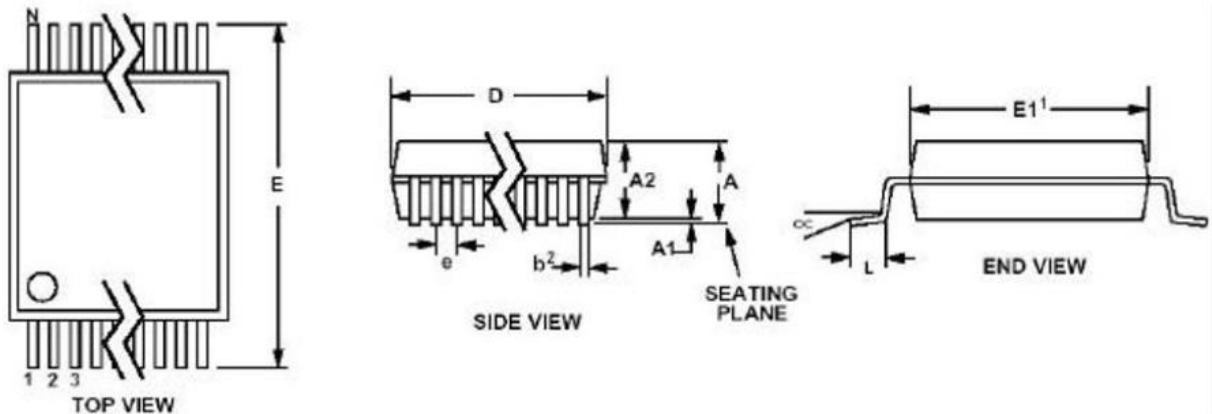
晶振输出	<b>XOUT</b>	1	24	<b>XIN</b>	晶振输入
CPU 时钟输出	<b>CPUCLK</b>	2	23	<b>SDI</b>	串行数据输入
正数字电源	<b>VD+</b>	3	22	<b>EDIR</b>	能量方向指示器
数字地	<b>DGND</b>	4	21	<b>EOUT</b>	能量输出
串行时钟输入	<b>SCLK</b>	5	20	<b>INT</b>	中断
串行数据输出	<b>SDO</b>	6	19	<b>RESET</b>	复位
片选	<b>CS</b>	7	18	<b>NC</b>	不连接
模式选择	<b>MODE</b>	8	17	<b>PFMON</b>	掉电监视器
差模电压输入	<b>VIN+</b>	9	16	<b>IIN+</b>	差模电流输入
差模电压输入	<b>VIN-</b>	10	15	<b>IIN-</b>	差模电流输入
电压参考输出	<b>VREFOUT</b>	11	14	<b>VA+</b>	正模拟电源
电压参考输入	<b>VREFIN</b>	12	13	<b>VA-</b>	模拟地

<b>时钟发生器</b>					
晶振输出	1,24	<b>XOUT</b>	<b>XOUT</b> , <b>XIN</b> 路引脚与一片内地门电路相连, 与晶体连接为芯片提供系统时钟。另外, 也可以由外部时钟(与CMOS 时钟兼容)驱动引脚 <b>XIN</b> , 为芯片提供系统时钟。		
晶振输入		<b>XIN</b>			
CPU 时钟输出	2	<b>CPUCLK</b>	一片上振荡器的输出, 可以驱动一个标准CMOS 负载。		
<b>控制引脚和串行数据I/O</b>					
串行时钟输入	5	<b>SCLK</b>	—该引脚上的时钟信号确定 <b>SDI</b> 引脚的输入速率和 <b>SDO</b> 引脚的输出速率。引脚输入端具有一个施密特触发器, 允许使用上升沿缓慢的信号。只有当 <b>CS</b> 低时, <b>SCLK</b> 引脚才识别时钟。		
串行数据输出	6	<b>SDO</b>	— <b>SDO</b> 是串口的输出引脚。当 <b>CS</b> 高时, 其输出将处于高阻抗状态。		
片选	7	<b>CS</b>	—当处于低电平时, 端口可以识别 <b>SCLK</b> 。该引脚高电平状态使 <b>SDO</b> 引脚处于高阻抗状态。 <b>CS</b> 应在 <b>SCLK</b> 处于低电平时改变状态。		
模式选择	8	<b>MODE</b>	—当处于高电平时 <b>CS5460A</b> 开始执行自引导模式, 从外接串行 <b>EEPROM</b> 接收命令和设置。当处于低电平时 <b>CS5460A</b> 运行在常规命令模式。引脚不连接时通过内部与 <b>DGND</b> 相连的一个下拉电阻下拉为逻辑低电平。		
中断	20	<b>INT</b>	—当 <b>INT</b> 变低时, 表明一个允许的事件已经发生。可以通过向 <b>CS5460</b> 写入适当命令来使 <b>INT</b> 信号清除(变为逻辑1)。		
能量输出	21	<b>EOUT</b>	—电量输出引脚, 输出一个脉宽固定、频率(可编程)和有功能量(双线)成比例的脉冲串。		
能量方向指示器	22	<b>EDIR</b>	—如果测量到的电能是负值, 电能方向指示器发出指示。		
串行数据输入	23	<b>SDI</b>	— <b>SDI</b> 是串口的输入引脚。数据的输入速率由 <b>SCLK</b> 决定。		
<b>测量和参考输入</b>					
差模电压输入	9,10	<b>VIN+</b> , <b>VIN-</b>	—电压通道的差模模拟输入引脚。		
参考电压输出	11	<b>VREFOUT</b>	—芯片上的参考电压由该引脚输出, 参考电压的标称值为2.5V (以 <b>VA-</b> 引脚为参考)。		
参考电压输入	12	<b>VREFIN</b>	—该引脚输入的电压给芯片上的调制器提供了参考电压。		
差模电流输入	15,16	<b>IIN+</b> , <b>IIN-</b>	—电流通道的差模模拟输入引脚。		
<b>电源连接</b>					
正数字电源	3	<b>VD+</b>	—以 <b>DGND</b> 为参考, 一般为+5V ±10%。		
数字地	4	<b>DGND</b>	—数字地, 应比 <b>VA-</b> 具有相同或更高的共模电压。		
负模拟电源	13	<b>VA-</b>	—负模拟电源引脚, 必须具有最低的电位。		
正模拟电源	14	<b>VA+</b>	—以 <b>VA-</b> 为参考, 通常为+5V ±10%。		
掉电监视器	17	<b>PFMON</b>	—掉电监视器用来监视模拟电源, 相对于 <b>VA-</b> 引脚的典型阈值电平为2.45V , 如果 <b>PFMON</b> 的电压低于阈值, 则状态寄存器的 <b>LSD</b> (低电源检测)位将被置位。若 <b>LSD</b> 置位, 则芯片无法复位。除非 <b>PFMON</b> 比 <b>PML0</b> 电源高约100mv (典型值), 因此 <b>PFMON</b> 具有滞环特性。		
复位	19	<b>RESET</b>	—当复位引脚为低电平时, 所有内部寄存器(Alt + A)为缺省值。		
<b>其它</b>					
不连接	18	<b>NC</b>	—该引脚应保持悬浮态。		



7. 封装尺寸

**24L SSOP 封装图**



尺寸	英寸			厘米			注释
	最小值	标准值	最大值	最小值	标准值	最大值	
A	--	--	0.084	--	--	2.13	
A1	0.002	0.006	0.010	0.05	0.13	0.25	
A2	0.064	0.068	0.074	1.62	1.73	1.88	
b	0.009	--	0.015	0.22	--	0.38	2,3
D	0.311	0.323	0.335	7.90	8.20	8.50	1
E	0.291	0.307	0.323	7.40	7.80	8.20	
E1	0.197	0.209	0.220	5.00	5.30	5.60	1
e	0.022	0.026	0.030	0.55	0.65	0.75	
L	0.025	0.03	0.041	0.63	0.75	1.03	
∞	0 °	4 °	8 °	0 °	4 °	8 °	

**JEDEC#: MO-150**

控制尺寸为mm

- 注释:
1. “D” 和 “E1” 是参考数据，不包括焊点或突出，但包括不符合的焊接，并且是在分界线测量的，每边的焊点或突出不超过0.20mm。
  2. 尺寸 “b” 不包括DAMBAR 突出/凹入部分。在最大材料条件下，DAMBAR 突出总共允许超过尺寸 “b” 0.13mm，在最小材料条件下，DAMBAR 凹入部分总共少于尺寸 “b” 不得超过0.07mm，
  3. 这些尺寸适用于从导线头0.1 —0.25mm 间的导线的扁平部分。